

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 8月10日

出願番号

Application Number:

特願2001-243944

出願人

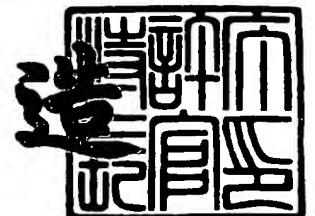
Applicant(s):

セイコーインスツルメンツ株式会社

2001年 9月13日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3084423

【書類名】 特許願

【整理番号】 01000771

【提出日】 平成13年 8月10日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/82

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツルメンツ株式会社内

【氏名】 小山内 潤

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツルメンツ株式会社内

【氏名】 長谷川 尚

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツルメンツ株式会社内

【氏名】 小岩 進雄

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツルメンツ株式会社内

【氏名】 石井 和敏

【特許出願人】

【識別番号】 000002325

【氏名又は名称】 セイコーインスツルメンツ株式会社

【代表者】 入江 昭夫

【代理人】

【識別番号】 100096378

【弁理士】

【氏名又は名称】 坂上 正明

【先の出願に基づく優先権主張】

【出願番号】 特願2000-265495
【出願日】 平成12年 9月 1日
【整理番号】 00000511

【先の出願に基づく優先権主張】

【出願番号】 特願2000-299549
【出願日】 平成12年 9月29日
【整理番号】 00000553

【先の出願に基づく優先権主張】

【出願番号】 特願2000-331080
【出願日】 平成12年10月30日
【整理番号】 00000637

【先の出願に基づく優先権主張】

【出願番号】 特願2001- 35800
【出願日】 平成13年 2月13日
【整理番号】 01000049

【先の出願に基づく優先権主張】

【出願番号】 特願2001- 44068
【出願日】 平成13年 2月20日
【整理番号】 01000080

【先の出願に基づく優先権主張】

【出願番号】 特願2001-118539
【出願日】 平成13年 4月17日
【整理番号】 01000294

【先の出願に基づく優先権主張】

【出願番号】 特願2001-113049
【出願日】 平成13年 4月11日
【整理番号】 01000295

【先の出願に基づく優先権主張】

【出願番号】 特願2001-188051
【出願日】 平成13年 6月21日
【整理番号】 01000648

【先の出願に基づく優先権主張】

【出願番号】 特願2001-204758
【出願日】 平成13年 7月 5日
【整理番号】 01000707

【先の出願に基づく優先権主張】

【出願番号】 特願2001-241829
【出願日】 平成13年 8月 9日
【整理番号】 01000739

【先の出願に基づく優先権主張】

【出願番号】 特願2001-241293
【出願日】 平成13年 8月 8日
【整理番号】 01000740

【先の出願に基づく優先権主張】

【出願番号】 特願2001-241298
【出願日】 平成13年 8月 8日
【整理番号】 01000742

【先の出願に基づく優先権主張】

【出願番号】 特願2001-241299
【出願日】 平成13年 8月 8日
【整理番号】 01000752

【先の出願に基づく優先権主張】

【出願番号】 特願2001-241297
【出願日】 平成13年 8月 8日
【整理番号】 01000753

【先の出願に基づく優先権主張】

【出願番号】 特願2001-241294

【出願日】 平成13年 8月 8日

【整理番号】 01000754

【手数料の表示】

【予納台帳番号】 008246

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0103799

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 相補型MOS半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 Nチャネル型MOSトランジスターとPチャネル型MOSトランジスターと抵抗体とを有する相補型MOS半導体装置において、前記Nチャネル型MOSトランジスターのゲート電極の導電型がP型であり、前記Pチャネル型MOSトランジスターのゲート電極の導電型がP型であることを特徴とする相補型MOS半導体装置。

【請求項2】 前記Nチャネル型MOSトランジスターのP型ゲート電極および前記Pチャネル型MOSトランジスターのP型ゲート電極は膜厚が2000Åから6000Åの範囲であり不純物濃度が $1 \times 10^{19} \text{atoms/cm}^3$ 以上のボロンまたは BF_2 を含む第一の多結晶シリコン単層からなることを特徴とする請求項1記載の相補型MOS半導体装置。

【請求項3】 前記Nチャネル型MOSトランジスターのP型ゲート電極および前記Pチャネル型MOSトランジスターのP型ゲート電極は膜厚が1000Åから4000Åの範囲であり不純物濃度が $1 \times 10^{19} \text{atoms/cm}^3$ 以上のボロンまたは BF_2 を含む第一の多結晶シリコンと、膜厚が500Åから2500Åの範囲であるモリブデンシリサイドもしくはタンゲステンシリサイドもしくはチタンシリサイドもしくはプラチナシリサイドである第一の高融点金属シリサイドとの積層からなるポリサイド構造であることを特徴とする請求項1記載の相補型MOS半導体装置。

【請求項4】 前記抵抗体がゲート電極を構成する前記第一の多結晶シリコンと同一層でかつ同じ膜厚の範囲である多結晶シリコンであることを特徴とする請求項1または2または3に記載の相補型MOS半導体装置。

【請求項5】 前記抵抗体は膜厚が500Åから2000Åの範囲の第二の多結晶シリコンであることを特徴とする請求項1に記載の相補型MOS半導体装置。

【請求項6】 前記抵抗体が、Ni-Cr合金もしくはCr-SiO合金もしくはモリブデンシリサイドもしくはβ-フェライトシリサイドの薄膜金属抵抗体であり、

膜厚が100 Åから300 Åでの範囲であることを特徴とする請求項1に記載の相補型MOS半導体装置。

【請求項7】 前記第一もしくは前記第二の多結晶シリコンからなる前記抵抗体は不純物濃度が $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ であるリンまたは砒素を含み、シート抵抗値が数kΩ/□から数十kΩ/□程度である比較的低濃度な第一のN型抵抗体を含むことを特徴とする請求項1または2または3または4または5に記載の相補型MOS半導体装置。

【請求項8】 前記第一もしくは前記第二の多結晶シリコンからなる前記抵抗体は不純物濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上であるリンまたは砒素を含み、シート抵抗値が100Ω/□前後から数百Ω/□程度であり、温度係数が数百ppm/℃から千ppm/℃前後程度である比較的高濃度な第二のN型抵抗体を含むことを特徴とする請求項1または2または3または4または5に記載の相補型MOS半導体装置。

【請求項9】 前記第一もしくは前記第二の多結晶シリコンからなる前記抵抗体は不純物濃度が $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ であるボロンまたはBF₂を含み、シート抵抗値が数kΩ/□から数十kΩ/□程度である比較的低濃度な第一のP型抵抗体を含むことを特徴とする請求項1または2または3または4または5に記載の相補型MOS半導体装置。

【請求項10】 前記第一もしくは前記第二の多結晶シリコンからなる前記抵抗体は不純物濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上であるボロンまたはBF₂を含み、シート抵抗値が数百Ω/□から1kΩ/□前後であり、温度係数が数百ppm/℃から千ppm/℃前後程度である比較的高濃度な第二のP型抵抗体を含むことを特徴とする請求項1または2または3または4または5に記載の相補型MOS半導体装置。

【請求項11】 前記Nチャネル型MOSトランジスタおよび前記Pチャネル型MOSトランジスタは、ソースとドレインとが前記P型ゲート電極と平面的にオーバーラップしている高不純物濃度の拡散層からなるシングルドレイン構造である第一の構造のMOSトランジスタを含むことを特徴とする請求項1または2または3に記載の相補型MOS半導体装置。

【請求項 1 2】 前記Nチャンネル型MOSトランジスターおよび前記Pチャンネル型MOSトランジスターは、ドレイン側だけが前記P型ゲート電極と平面的にオーバーラップしているかもしくはソースとドレインの両方が前記P型ゲート電極と平面的にオーバーラップしている低不純物濃度の拡散層と、ドレイン側だけが前記P型ゲート電極と平面的にオーバーラップしないかもしくはソースとドレインの両方が前記P型ゲート電極と平面的にオーバーラップしない高不純物濃度の拡散層とからなる第二の構造のMOSトランジスターを含むことを特徴とする請求項 1 または 2 または 3 に記載の相補型MOS半導体装置。

【請求項 1 3】 前記Nチャンネル型MOSトランジスターおよび前記Pチャンネル型MOSトランジスターは、ドレイン側だけが前記P型ゲート電極と平面的にオーバーラップしているかもしくはソースとドレインの両方が前記P型ゲート電極と平面的にオーバーラップしている低不純物濃度の拡散層と、ドレイン側だけが前記P型ゲート電極と平面的にオーバーラップしないかもしくはソースとドレインの両方が前記P型ゲート電極と平面的にオーバーラップしない高不純物濃度の拡散層とからなり、さらに前記高不純物濃度の拡散層と前記P型ゲート電極の間の絶縁膜がゲート絶縁膜よりも膜厚が厚い第三の構造のMOSトランジスターを含むことを特徴とする請求項 1 または 2 または 3 に記載の相補型MOS半導体装置。

【請求項 1 4】 前記Nチャンネル型MOSトランジスターおよび前記Pチャンネル型MOSトランジスターは、ソースとドレインが前記P型ゲート電極と平面的にオーバーラップしている高不純物濃度の拡散層と、ドレイン側のみもしくはソースとドレインの両方が前記高濃度拡散層よりさらにチャンネル側に拡散して前記P型ゲート電極と平面的にオーバーラップしている低不純物濃度の拡散層とからなる第四の構造のMOSトランジスターを含むことを特徴とする請求項 1 または 2 または 3 に記載の相補型MOS半導体装置。

【請求項 1 5】 前記Nチャンネル型MOSトランジスターにおいて、しきい値電圧がエンハンスメントであるチャンネルは埋込みチャンネルであることを特徴とする請求項 1 または 2 または 3 に記載の相補型MOS半導体装置。

【請求項 1 6】 前記Pチャンネル型MOSトランジスターにおいて、しきい値電圧がエンハンスメントであるチャンネルは表面チャンネルであることを特徴とする請

求項 1 または 2 または 3 に記載の相補型 MOS 半導体装置。

【請求項 1 7】 前記第二の構造の MOS トランジスターおよび前記第三の構造の MOS トランジスターおよび前記第四の構造の MOS トランジスターにおける前記低不純物濃度拡散層は前記 N チャネル型 MOS トランジスターにおいては不純物として砒素またはリンを用い不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ であり、前記 P チャネル型 MOS トランジスターにおいては不純物としてボロンまたは BF_2 を用い不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ であり、前記第一の構造の MOS トランジスターおよび前記第二の構造の MOS トランジスターおよび前記第三の構造の MOS トランジスターおよび前記第四の構造の MOS トランジスターにおける前記高不純物濃度拡散層は前記 N チャネル型 MOS トランジスターにおいては不純物として砒素またはリンを用い不純物濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 以上であり、前記 P チャネル型 MOS トランジスターにおいては不純物としてボロンまたは BF_2 を用い不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 以上であることを特徴とする請求項 1 または 1 1 または 1 2 または 1 3 または 1 4 に記載の相補型 MOS 半導体装置。

【請求項 1 8】 半導体基板中に N チャネル型 MOS トランジスターと P チャネル型 MOS トランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に低濃度の N 型不純物ドーピングを行い前記第一の多結晶シリコン膜中に第一の N 型の領域を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度の P 型不純物ドーピングを行い前記第一の多結晶シリコン膜中に第一の P 型の領域を形成する工程と、前記第一の多結晶シリコン膜の全域に低濃度の P 型不純物ドーピングを行い前記第一の多結晶シリコン膜中に第二の P 型領域を形成する工程と、前記第一の多結晶シリコン膜上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記第一の多結晶シリコン膜をパターニングして前記第一の P 型多結晶シリコン領域からなるゲート電極と配線と前記第一の N 型多結晶シリコン領域および前記第二の P 型多結晶シリコン

領域からなる抵抗体とを形成する工程と、前記抵抗体上の第一の絶縁膜を選択的に除去する工程と、Nチャネル型MOSトランジスタのソースとドレインとなる領域および前記第一のN型多結晶シリコン領域からなる前記抵抗体の一部ないしは全域に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスタのソースとドレインとなる領域および前記第二のP型多結晶シリコン領域からなる前記抵抗体の一部ないしは全域に高濃度のP型不純物をドーピングする工程とからなる請求項1または2または4または11に記載の相補型MOS半導体装置の製造方法。

【請求項19】 半導体基板中にNチャネル型MOSトランジスタとPチャネル型MOSトランジスタのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜の全域に高濃度のP型不純物ドーピングを行い第一の多結晶シリコンの第一のP型の領域を形成する工程と、前記第一の多結晶シリコン上に高融点金属シリサイド膜を形成する工程と、前記高融点金属シリサイド上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記高融点金属シリサイドと前記第一のP型の前記第一の多結晶シリコン膜をパターニングしてゲート電極と配線とを形成する工程と、前記半導体基板上に第四の絶縁膜を形成する工程と、前記前記第四の絶縁膜上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い前記第二の多結晶シリコン中に第一のN型の領域を形成する工程と、前記第二の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い第二の多結晶シリコン中に第二のP型の領域を形成する工程と、前記第二の多結晶シリコン膜をパターニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスタのソースとドレインとなる領域および前記第二の多結晶シリコン膜の前記第一のN型領域からなる前記抵抗体の一部ないしは全域に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスタのソースとドレインとなる領域および前記第二の多結晶シリコン膜の前記第二のP型領域からなる前記抵抗体の一部な

いしは全域に高濃度のP型不純物をドーピングする工程とからなる請求項1または3または5または11に記載の相補型MOS半導体装置の製造方法。

【請求項20】 半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜の全域に高濃度のP型不純物ドーピングを行い第一の多結晶シリコンの第一のP型の領域を形成する工程と、前記第一の多結晶シリコン上に高融点金属膜を形成する工程と、熱処理を行い前記第一の多結晶シリコンと接触している前記高融点金属膜を高融点金属シリサイド化する工程と、前記高融点金属シリサイド上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記高融点金属シリサイドと前記第一のP型の前記第一の多結晶シリコン膜をパターニングしてゲート電極と配線とを形成する工程と、前記半導体基板上に第四の絶縁膜を形成する工程と、前記前記第四の絶縁膜上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い前記第二の多結晶シリコン中に第一のN型の領域を形成する工程と、前記第二の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い第二の多結晶シリコン中に第二のP型の領域を形成する工程と、前記第二の多結晶シリコン膜をパターニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスターのソースとドレインとなる領域および前記第二の多結晶シリコン膜の前記第一のN型領域からなる前記抵抗体の一部ないしは全域に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスターのソースとドレインとなる領域および前記第二の多結晶シリコン膜の前記第二のP型領域からなる前記抵抗体の一部ないしは全域に高濃度のP型不純物をドーピングする工程とからなる請求項1または3または5または11に記載の相補型MOS半導体装置の製造方法。

【請求項21】 半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記

半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い前記第一の多結晶シリコン膜中に第一のN型の領域を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン膜中に第一のP型の領域を形成する工程と、前記第一の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン膜中に第二のP型領域を形成する工程と、前記第一の多結晶シリコン膜上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記第一の多結晶シリコン膜をパターニングして前記第一のP型多結晶シリコン領域からなるゲート電極と配線と前記第一のN型多結晶シリコン領域および前記第二のP型多結晶シリコン領域からなる抵抗体とを形成する工程と、Nチャネル型MOSトランジスタのソースおよびドレインとなる領域に選択的に低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスタのソースおよびドレインとなる領域に選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記半導体基板上に第三の絶縁膜を堆積する工程と、異方性ドライエッチングにより前記第三の絶縁膜をエッチングし前記第一の多結晶シリコン側壁にサイド Spacer を形成する工程と、前記抵抗体上の第一の絶縁膜を選択的に除去する工程と、Nチャネル型MOSトランジスタのソースとドレインとなる領域および前記第一の多結晶シリコンの前記第一のN型領域からなる前記抵抗体の一部ないしは全域に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスタのソースとドレインとなる領域および前記第一の多結晶シリコンの前記第二のP型領域からなる前記抵抗体の一部ないしは全域に高濃度のP型不純物をドーピングする工程とからなる請求項1または2または4または12に記載の相補型MOS半導体装置の製造方法。

【請求項22】 半導体基板中にNチャネル型MOSトランジスタとPチャネル型MOSトランジスタのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁

膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン中に第一のP型の領域を形成する工程と、前記第一の多結晶シリコン膜上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記第一の多結晶シリコン膜をパターニングして前記第一のP型多結晶シリコン領域からなるゲート電極と配線と前記第一のP型多結晶シリコン膜領域以外からなる抵抗体領域を形成する工程と、前記抵抗体領域上の第一の絶縁膜を選択的に除去する工程と、Nチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一のP型多結晶シリコン膜領域以外の前記多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い低濃度のN型のソースとドレインおよび前記第一の多結晶シリコン中に第一のN型の領域を形成する工程と、Pチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一のP型多結晶シリコン膜領域と前記第一のN型の多結晶シリコン領域以外の前記第一の多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行い低濃度のP型のソースとドレインおよび前記第一の多結晶シリコン中に第二のP型の領域を形成する工程と、前記半導体基板上に第三の絶縁膜を堆積する工程と、異方性ドライエッチングにより前記第三の絶縁膜をエッチングし前記第一の多結晶シリコン側壁にサイド Spacer を形成する工程と、Nチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一の多結晶シリコンの前記第一のN型領域からなる前記抵抗体の一部ないしは全域に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一の多結晶シリコンの前記第二のP型領域からなる前記抵抗体の一部ないしは全域に高濃度のP型不純物をドーピングする工程とからなる請求項 1 または 2 または 4 または 1 2 に記載の相補型MOS半導体装置の製造方法。

【請求項 2 3】 半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピ

ングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に高濃度のP型不純物ドーピングを行い第一のP型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記第一の多結晶シリコン膜をパターニングして前記第一の多結晶シリコン領域からなるゲート電極と配線とを形成する工程と、Nチャネル型MOSトランジスタのソースおよびドレインとなる領域に選択的に低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスタのソースおよびドレインとなる領域に選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記半導体基板上に第三の絶縁膜を堆積する工程と、異方性ドライエッチングにより前記第三の絶縁膜をエッチングし前記第一の多結晶シリコン側壁にサイド Spacer を形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い第一のN型の多結晶シリコン領域を形成する工程と、前記第二の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い第二のP型の多結晶シリコン領域を形成する工程と、前記第二の多結晶シリコン膜をパターニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスタのソースとドレインとなる領域および前記第二の多結晶シリコンの第一のN型の領域からなる前記抵抗体の一部ないしは全域に選択的に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスタのソースとドレインとなる領域および前記第二の多結晶シリコンの第二のP型の領域からなる前記抵抗体の一部ないしは全域に選択的に高濃度のP型不純物をドーピングする工程とからなる請求項1または2または5または12に記載の相補型MOS半導体装置の製造方法。

【請求項24】 半導体基板中にNチャネル型MOSトランジスタとPチャネル型MOSトランジスタのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行

い第一のN型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い第一のP型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い第二のP型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜上に第二の絶縁膜を形成する工程と、前記第一の多結晶シリコンの前記第一のP型の領域上の前記第二の絶縁膜を選択的に除去する工程と、前記半導体基板上に高融点金属シリサイド膜を形成する工程と、パターニングされた前記第二の絶縁膜上およびその近傍の前記高融点金属シリサイド膜を選択的に除去する工程と、パターニングされた前記第二の絶縁膜を除去する工程と、前記高融点金属シリサイドおよび前記第一の多結晶シリコン膜上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記第一の多結晶シリコン膜と前記高融点金属シリサイド膜をパターニングして前記第一の多結晶シリコンの前記第一のP型の領域と前記高融点金属シリサイドの積層からなるゲート電極と配線と前記第一の多結晶シリコンの前記第一のN型多領域および前記第二のP型の領域からなる抵抗体とを形成する工程と、Nチャネル型MOSトランジスタのソースおよびドレインとなる領域に選択的に低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスタのソースおよびドレインとなる領域に選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記半導体基板上に第三の絶縁膜を堆積する工程と、異方性ドライエッチングにより前記第三の絶縁膜をエッチングし前記第一の多結晶シリコンおよび前記高融点金属シリサイド側壁にサイド Spacer を形成する工程と、前記抵抗体上の前記第一の絶縁膜を選択的に除去する工程と、Nチャネル型MOSトランジスタのソースとドレインとなる領域および前記第一のN型多結晶シリコン領域からなる前記抵抗体の一部ないしは全域に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスタのソースとドレインとなる領域および前記第二のP型多結晶シリコン領域からなる前記抵抗体の一部ないしは全域に高濃度のP型不純物をドーピングする工程とからなる請求項 1 または 3 または 4 または 1 2 に記載の相補型MOS半導体装置の製造方法。

【請求項 2 5】 半導体基板中にNチャネル型MOSトランジスタとPチャネ

ル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い第一のP型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜上に第二の絶縁膜を形成する工程と、前記第一多結晶シリコンの前記第一のP型の領域上の前記第二の絶縁膜を選択的に除去する工程と、前記半導体基板上に高融点金属シリサイド膜を形成する工程と、パターニングされた前記第二の絶縁膜上およびその近傍の前記高融点金属シリサイド膜を選択的に除去する工程と、パターニングされた前記第二の絶縁膜を除去する工程と、前記高融点金属シリサイドおよび前記第一の多結晶シリコン膜上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記第一の多結晶シリコン膜および前記高融点金属シリサイドをパターニングして前記第一の多結晶シリコンの第一のP型の領域と前記高融点金属シリサイドの積層からなるゲート電極と配線と前記第一の多結晶シリコンの前記第一のP型領域以外からなる抵抗体領域を形成する工程と、前記抵抗体領域上の第一の絶縁膜を選択的に除去する工程と、Nチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一のP型領域以外の前記第一の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い低濃度のN型のソースとドレインおよび前記第一の多結晶シリコン中に第一のN型の領域を形成する工程と、Pチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一のP型領域と前記第一のN型領域以外の前記第一の多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行い低濃度のP型のソースとドレインおよび前記第一の多結晶シリコン中に第二のP型の領域を形成する工程と、前記半導体基板上に第三の絶縁膜を堆積する工程と、異方性ドライエッチングにより前記第三の絶縁膜をエッチングし前記第一の多結晶シリコンおよび前記高融点金属シリサイド側壁にサイド Spacer を形成する工程と、Nチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一のN型多結晶シリコン領域からなる前記抵抗体の一部ないしは全域に高濃度のN型不純物をドーピングする

工程と、Pチャネル型MOSトランジスターのソースとドレインとなる領域および前記第二のP型多結晶シリコン領域からなる前記抵抗体の一部ないしは全域に高濃度のP型不純物をドーピングする工程とからなる請求項1または3または4または12に記載の相補型MOS半導体装置の製造方法。

【請求項26】 半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い第一のN型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い第一のP型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い第二のP型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜上に第二の絶縁膜を形成する工程と、前記第一の多結晶シリコンの前記第一のP型の領域上の前記第二の絶縁膜を選択的に除去する工程と、前記半導体基板上に高融点金属膜を形成する工程と、熱処理を行い前記第一の多結晶シリコンと接触している前記高融点金属膜を高融点金属シリサイド化する工程と、前記第二の絶縁膜上の未反応である前記高融点金属膜を選択的に除去する工程と、パターニングされた前記第二の絶縁膜を除去する工程と、前記高融点金属シリサイドおよび前記第一の多結晶シリコン膜上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記第一の多結晶シリコン膜と前記高融点金属シリサイド膜をパターニングして前記第一の多結晶シリコンの前記第一のP型の領域と前記高融点金属シリサイドの積層からなるゲート電極と配線と前記第一の多結晶シリコンの前記第一のN型多領域および前記第二のP型の領域からなる抵抗体とを形成する工程と、Nチャネル型MOSトランジスターのソースおよびドレインとなる領域に選択的に低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスターのソースおよびドレインとなる領域に選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記半導

体基板上に第三の絶縁膜を堆積する工程と、異方性ドライエッチングにより前記第三の絶縁膜をエッチングし前記第一の多結晶シリコンおよび前記高融点金属シリサイド側壁にサイドスペーサーを形成する工程と、前記抵抗体上の前記第一の絶縁膜を選択的に除去する工程と、Nチャネル型MOSトランジスタのソースとドレインとなる領域および前記第一のN型多結晶シリコン領域からなる前記抵抗体の一部ないしは全域に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスタのソースとドレインとなる領域および前記第二のP型多結晶シリコン領域からなる前記抵抗体の一部ないしは全域に高濃度のP型不純物をドーピングする工程とからなる請求項1または3または4または12に記載の相補型MOS半導体装置の製造方法。

【請求項27】 半導体基板中にNチャネル型MOSトランジスタとPチャネル型MOSトランジスタのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い第一のP型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜上に第二の絶縁膜を形成する工程と、前記第一多結晶シリコンの前記第一のP型の領域上の前記第二の絶縁膜を選択的に除去する工程と、前記半導体基板上に高融点金属膜を形成する工程と、熱処理を行い前記第一の多結晶シリコンと接触している前記高融点金属膜を高融点金属シリサイド化する工程と、前記第二の絶縁膜上の未反応である前記高融点金属膜を選択的に除去する工程と、パターニングされた前記第二の絶縁膜を除去する工程と、前記高融点金属シリサイドおよび前記第一の多結晶シリコン膜上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記第一の多結晶シリコン膜および前記高融点金属シリサイドをパターニングして前記第一の多結晶シリコンの第一のP型の領域と前記高融点金属シリサイドの積層からなるゲート電極と配線と前記第一の多結晶シリコンの前記第一のP型領域以外からなる抵抗体領域を形成する工程と、前記抵抗体領域上の第一の絶縁膜を選択的に除去する工程と、Nチャネル型MOSトランジスタのソースと

ドレインとなる領域および前記第一のP型領域以外の前記第一の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い低濃度のN型のソースとドレインおよび前記第一の多結晶シリコン中に第一のN型の領域を形成する工程と、Pチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一のP型領域と前記第一のN型領域以外の前記第一の多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行い低濃度のP型のソースとドレインおよび前記第一の多結晶シリコン中に第二のP型の領域を形成する工程と、前記半導体基板上に第三の絶縁膜を堆積する工程と、異方性ドライエッチングにより前記第三の絶縁膜をエッチングし前記第一の多結晶シリコンおよび前記高融点金属シリサイド側壁にサイドスペーサーを形成する工程と、Nチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一のN型多結晶シリコン領域からなる前記抵抗体の一部ないしは全域に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスターのソースとドレインとなる領域および前記第二のP型多結晶シリコン領域からなる前記抵抗体の一部ないしは全域に高濃度のP型不純物をドーピングする工程とからなる請求項1または3または4または12に記載の相補型MOS半導体装置の製造方法。

【請求項28】 半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜の全域に高濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン中に第一のP型の領域を形成する工程と、前記第一の多結晶シリコン上に高融点金属シリサイド膜を形成する工程と、前記高融点金属シリサイド上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記高融点金属シリサイドと前記第一の多結晶シリコン膜をパターニングしてゲート電極と配線とを形成する工程と、Nチャネル型MOSトランジスターのソースおよびドレインとなる領域に選択的に低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスターのソースおよびドレインとなる領域に選

択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記半導体基板上に第三の絶縁膜を堆積する工程と、異方性ドライエッチングにより前記第三の絶縁膜をエッチングし前記高融点金属シリサイドと前記第一の多結晶シリコン側壁にサイドスペーサーを形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い第一のN型の多結晶シリコン領域を形成する工程と、前記第二の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い第二のP型の多結晶シリコン領域を形成する工程と、前記第二の多結晶シリコン膜をパターニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスターのソースとドレインとなる領域および前記第二の多結晶シリコンの第一のN型の領域からなる前記抵抗体の一部ないしは全域に選択的に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスターのソースとドレインとなる領域および前記第二の多結晶シリコンの第二のP型の領域からなる前記抵抗体の一部ないしは全域に選択的に高濃度のP型不純物をドーピングする工程とからなる請求項1または3または5または12に記載の相補型MOS半導体装置の製造方法。

【請求項29】 半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜の全域に高濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン中に第一のP型の領域を形成する工程と、前記第一の多結晶シリコン上に高融点金属膜を形成する工程と、熱処理を行い前記第一の多結晶シリコンと接触している前記高融点金属膜を高融点金属シリサイド化する工程と前記高融点金属シリサイド上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記高融点金属シリサイドと前記第一の多結晶シリコン膜をパターニングしてゲート電極と配線とを形成する工程と、Nチャネル型MOSトランジスターのソースおよびドレインとなる領域に選択的に低濃度のN型不純物を前記半導体基板

中にドーピングする工程と、Pチャネル型MOSトランジスターのソースおよびドレインとなる領域に選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記半導体基板上に第三の絶縁膜を堆積する工程と、異方性ドライエッチングにより前記第三の絶縁膜をエッチングし前記高融点金属シリサイドと前記第一の多結晶シリコン側壁にサイドスペーサーを形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い第一のN型の多結晶シリコン領域を形成する工程と、前記第二の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い第二のP型の多結晶シリコン領域を形成する工程と、前記第二の多結晶シリコン膜をパターニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスターのソースとドレインとなる領域および前記第二の多結晶シリコンの第一のN型の領域からなる前記抵抗体の一部ないしは全域に選択的に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスターのソースとドレインとなる領域および前記第二の多結晶シリコンの第二のP型の領域からなる前記抵抗体の一部ないしは全域に選択的に高濃度のP型不純物をドーピングする工程とからなる請求項1または3または5または12に記載の相補型MOS半導体装置の製造方法。

【請求項30】 半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い前記第一の多結晶シリコン中に第一のN型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン中に第一のP型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン中に第二のP型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜をパターニングして前記第一の多結晶シ

リコンの前記第一のP型領域からなるゲート電極と配線と前記第一の多結晶シリコンの前記第一のN型領域および前記第二のP型領域からなる抵抗体とを形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップするように低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方もしくはドレイン側だけがゲート電極に対し平面的にオーバーラップするように選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記第一の多結晶シリコン膜の前記第一のN型の領域からなる前記抵抗体の一部ないしは全域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第一の多結晶シリコン膜の前記第二のP型の領域からなる前記抵抗体の一部ないしは全域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる請求項1または2または4または12に記載の相補型MOS半導体装置の製造方法。

【請求項31】 半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い第一のP型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜をパターンニングして前記第一の多結晶シリコンの前記第一のP型領域からなるゲート電極と配線と前記第一のP型領域以外からなる抵抗体とを形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップする前記半導体基板および前記第一のP型領域以外の前記第一の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い低

濃度のN型のソースとドレインおよび前記第一の多結晶シリコン中に第一のN型の領域を形成する工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方もしくはドレイン側だけがゲート電極に対し平面的にオーバーラップする前記半導体基板および前記第一のP型領域および前記第二のN型領域以外の前記第一の多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行い低濃度のP型のソースとドレインもしくはドレインおよび前記第一の多結晶シリコン中に第二のP型の領域を形成する工程と、前記第一の多結晶シリコン膜の前記第一のN型の領域からなる前記抵抗体の一部ないしは全域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第一の多結晶シリコン膜の前記第二のP型の領域からなる前記抵抗体の一部ないしは全域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる請求項1、2、4、12に記載の相補型MOS半導体装置の製造方法。

【請求項32】 半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に高濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン中に第一のP型の領域を形成する工程と、前記第一の多結晶シリコン膜をパターンニングして前記第一のP型領域からなるゲート電極と配線とを形成する工程と、前記半導体基板上に第四の絶縁膜を形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い前記第二の多結晶シリコン中に第一のN型の領域を形成する工程と、前記第二の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い前記第二の多結晶シリコン中に第二のP

型の領域を形成する工程と、前記第二の多結晶シリコン膜をパターンニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスタのゲート電極に対しソースおよびドレインが平面的にオーバーラップするように低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスタのゲート電極に対しソースとドレインの両方もしくはドレイン側だけがゲート電極に対し平面的にオーバーラップするように選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記第二の多結晶シリコン膜の前記第一のN型の領域からなる前記抵抗体の一部ないし全域およびNチャネル型MOSトランジスタのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第二の多結晶シリコン膜の前記第二のP型の領域からなる前記抵抗体の一部ないしは全域およびPチャネル型MOSトランジスタのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる請求項1または2または5または12に記載の相補型MOS半導体装置の製造方法。

【請求項33】 半導体基板中にNチャネル型MOSトランジスタとPチャネル型MOSトランジスタのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に高濃度のP型不純物ドーピングを行い第一の多結晶シリコン中に第一のP型の領域を形成する工程と、前記第一の多結晶シリコン膜をパターンニングして前記第一のP型領域からなるゲート電極と配線とを形成する工程と、前記半導体基板上に第四の絶縁膜を形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜をパターンニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスタのゲート電極に対しソースおよびドレインが平面的にオーバーラップする領域と前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行いNチ

チャンネル型MOSトランジスターの低濃度のソースとドレインおよび前記第二の多結晶シリコン中に第一のN型の領域を同時に形成する工程と、Pチャンネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップする領域もしくはドレイン側だけが平面的にオーバーラップする領域と前記第二の多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行いPチャンネル型MOSトランジスターの低濃度のソースとドレインもしくはドレインと前記第二の多結晶シリコン中に第二のP型の領域を同時に形成する工程と、前記第二の多結晶シリコン膜の前記第一のN型の領域からなる前記抵抗体の一部ないし全域およびNチャンネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第二の多結晶シリコン膜の前記第二のP型の領域からなる前記抵抗体の一部ないし全域およびPチャンネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる請求項1または2または5または12に記載の相補型MOS半導体装置の製造方法。

【請求項34】 半導体基板中にNチャンネル型MOSトランジスターとPチャンネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い前記第一の多結晶シリコン中に第一N型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン中に第一のP型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン中に第二のP型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜上に第二の絶縁膜を形成する工程と、前記

第一の多結晶シリコンの前記第一のP型の領域上の前記第二の絶縁膜を選択的に除去する工程と、前記半導体基板上に高融点金属シリサイド膜を形成する工程と、パターニングされた前記第二の絶縁膜上およびその近傍の前記高融点金属シリサイド膜を選択的に除去する工程と、パターニングされた前記第二の絶縁膜を除去する工程と、前記第一の多結晶シリコン膜と前記高融点金属シリサイド膜をパターニングして前記第一の多結晶シリコンの前記第一のP型の領域と前記高融点金属シリサイドの積層からなるゲート電極と配線と前記第一の多結晶シリコンの前記第一のN型領域および前記第二のP型領域からなる抵抗体とを形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップするように低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方もしくはドレイン側だけがゲート電極に対し平面的にオーバーラップするように選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記第一の多結晶シリコンの前記第一のN型の領域からなる前記抵抗体の一部ないしは全域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第一の多結晶シリコンの前記第二のP型領域からなる前記抵抗体の一部ないしは全域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる請求項1または3または4または12に記載の相補型MOS半導体装置の製造方法。

【請求項35】 半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行

い前記第一の多結晶シリコン中に第一のP型の領域を形成する工程と、前記第一の多結晶シリコン膜上に第二の絶縁膜を形成する工程と、前記第一の多結晶シリコンの前記第一のP型の領域上の前記第二の絶縁膜を選択的に除去する工程と、前記半導体基板上に高融点金属シリサイド膜を形成する工程と、パターニングされた前記第二の絶縁膜上およびその近傍の前記高融点金属シリサイド膜を選択的に除去する工程と、パターニングされた前記第二の絶縁膜を除去する工程と、前記第一の多結晶シリコン膜および前記高融点金属シリサイドをパターニングして前記第一の多結晶シリコンの前記第一のP型領域と前記高融点金属シリサイドの積層からなるゲート電極と配線と前記第一の多結晶シリコンの前記第一のP型領域以外からなる抵抗体領域を形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップする領域と前記第一の多結晶シリコンの前記第一のP型領域以外の前記第一の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行いNチャネル型MOSトランジスターの低濃度のソースとドレインおよび前記第一の多結晶シリコン中に第一のN型の領域を同時に形成する工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップする領域もしくはドレイン側だけが平面的にオーバーラップする領域と前記第一の多結晶シリコンの前記第一のP型の領域と前記第一のN型の領域以外の前記第一の多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行いPチャネル型MOSトランジスターの低濃度のソースとドレインもしくはドレインと前記第一の多結晶シリコン中に第二のP型の領域を同時に形成する工程と、前記第一の多結晶シリコンの前記第一のN型の領域からなる前記抵抗体の一部ないしは全域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第一の多結晶シリコンの前記第二のP型の領域からなる前記抵抗体の一部ないしは全域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる請求

項 1 または 3 または 4 または 1 2 に記載の相補型MOS半導体装置の製造方法。

【請求項 3 6】 半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い前記第一の多結晶シリコン中に第一のN型の領域を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン中に第一のP型の領域を形成する工程と、前記第一の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン中に第二のP型の領域を形成する工程と、前記第一の多結晶シリコン膜上に第二の絶縁膜を形成する工程と、前記第一の多結晶シリコンの前記第一のP型の領域上の前記第二の絶縁膜を選択的に除去する工程と、前記半導体基板上に高融点金属膜を形成する工程と、熱処理を行い前記第一の多結晶シリコンと接触している前記高融点金属膜を高融点金属シリサイド化する工程と、前記第二の絶縁膜上の未反応である前記高融点金属膜を選択的に除去する工程と、パターニングされた前記第二の絶縁膜を除去する工程と、前記第一の多結晶シリコン膜と前記高融点金属シリサイド膜をパターニングして前記第一の多結晶シリコンの前記第一のP型領域と前記高融点金属シリサイドの積層からなるゲート電極と配線と前記第一の多結晶シリコンの前記第一のN型領域および前記第二のP型領域からなる抵抗体とを形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップするように低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方もしくはドレイン側だけがゲート電極に対し平面的にオーバーラップするように選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記第一の多結晶シリコンの前記第一のN型の領域からなる前記抵抗体の一部ないしは全域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に

高濃度のN型不純物を選択的にドーピングする工程と、前記第一の多結晶シリコンの前記第二のP型領域からなる前記抵抗体の一部ないしは全域Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる請求項1または3または4または12に記載の相補型MOS半導体装置の製造方法。

【請求項37】 半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン中に第一のP型の領域を形成する工程と、前記第一の多結晶シリコン膜上に第二の絶縁膜を形成する工程と、前記第一の多結晶シリコンの前記第一のP型の領域上の前記第二の絶縁膜を選択的に除去する工程と、前記半導体基板上に高融点金属膜を形成する工程と、熱処理を行い前記第一の多結晶シリコンと接触している前記高融点金属膜を高融点金属シリサイド化する工程と、前記第二の絶縁膜上の未反応である前記高融点金属膜を選択的に除去する工程と、パターニングされた前記第二の絶縁膜を除去する工程と、前記第一の多結晶シリコン膜および前記高融点金属シリサイドをパターニングして前記第一の多結晶シリコンの前記第一のP型領域と前記高融点金属シリサイドの積層からなるゲート電極と配線と前記第一の多結晶シリコンの前記第一のP型領域以外からなる抵抗体領域を形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップする領域と前記第一の多結晶シリコンの前記第一のP型領域以外の前記第一の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行いNチャネル型MOSトランジスターの低濃度のソースとドレインおよび前記第一の多結晶シリコン中に第一のN型の領域を同時に形成する工程と、Pチャネル型MOSトランジスターのゲート電極に対しソー

スとドレインの両方が平面的にオーバーラップする領域もしくはドレイン側だけが平面的にオーバーラップする領域と前記第一の多結晶シリコンの前記第一のP型の領域と前記第一のN型の領域以外の前記第一の多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行いPチャネル型MOSトランジスターの低濃度のソースとドレインもしくはドレインと前記第一の多結晶シリコン中に第二のP型の領域を同時に形成する工程と、前記第一の多結晶シリコンの前記第一のN型の領域からなる前記抵抗体の一部ないしは全域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第一の多結晶シリコンの前記第二のP型の領域からなる前記抵抗体の一部ないしは全域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる請求項1または3または4または12に記載の相補型MOS半導体装置の製造方法。

【請求項38】 半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に高濃度のP型不純物ドーピングを行い第一の多結晶シリコンの第一のP型の領域を形成する工程と、前記第一の多結晶シリコン上に高融点金属シリサイド膜を形成する工程と、前記前記高融点金属シリサイドと前記第一の多結晶シリコン膜とをパターンニングして前記第一の多結晶シリコンの前記第一のP型領域と前記高融点金属シリサイドの積層からなるゲート電極と配線を形成する工程と、前記半導体基板上に第四の絶縁膜を形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い前記第二の多結晶シリコン中に第一のN型の領域を形成する工程と、前記第二の多結晶シリコン

膜の全域に低濃度のP型不純物ドーピングを行い前記第二の多結晶シリコン中に第二のP型の領域を形成する工程と、前記第二の多結晶シリコン膜をパターニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップするように低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方もしくはドレイン側だけがゲート電極に対し平面的にオーバーラップするように選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記第二の多結晶シリコン膜の前記第一のN型の領域からなる前記抵抗体の一部ないしは全域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第二の多結晶シリコン膜の前記第二のP型の領域からなる前記抵抗体の一部ないしは全域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる請求項1または3または5または12に記載の相補型MOS半導体装置の製造方法。

【請求項39】 半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に高濃度のP型不純物ドーピングを行い第一の多結晶シリコンの第一のP型領域を形成する工程と、前記第一の多結晶シリコン上に高融点金属シリサイド膜を形成する工程と、前記前記高融点金属シリサイドと前記第一の多結晶シリコン膜とをパターニングして前記第一多結晶シリコンの前記第一のP型領域と前記高融点金属シリサイドの積層からなるゲート電極と配線を形成する工程と、前記半導体基板上に第四の絶縁膜を形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シ

リコン膜をパターニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップする領域と前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行いNチャネル型MOSトランジスターの低濃度のソースとドレインおよび前記第二の多結晶シリコン中に第一のN型の領域を同時に形成する工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップする領域もしくはドレイン側だけが平面的にオーバーラップする領域と前記第二の多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行いPチャネル型MOSトランジスターの低濃度のソースとドレインもしくはドレインと前記第二の多結晶シリコン中に第二のP型の領域を同時に形成する工程と、前記第二の多結晶シリコン膜の前記第一のN型の領域からなる前記抵抗体の一部ないしは全域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第二の多結晶シリコン膜の前記第二のP型の領域からなる前記抵抗体の一部ないしは全域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる請求項1または3または5または12に記載の相補型MOS半導体装置の製造方法。

【請求項40】 半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に高濃度のP型不純物ドーピングを行い前記第一の多結晶シリコンの第一のP型の領域を形成する工程と、前記第一の多結晶シリコン上に高融点金属膜を形成する工程と、熱処理を行い前記第一の多結晶シリコンと接触している前記高融点金属膜を高融点金属シリサイド化する工程と、前

前記高融点金属シリサイドと前記第一の多結晶シリコン膜とをパターニングして前記第一の多結晶シリコンの前記第一のP型領域と前記高融点金属シリサイドの積層からなるゲート電極と配線を形成する工程と、前記半導体基板上に第四の絶縁膜を形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い前記第二の多結晶シリコン中に第一のN型の領域を形成する工程と、前記第二の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い前記第二の多結晶シリコン中に第二のP型の領域を形成する工程と、前記第二の多結晶シリコン膜をパターニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップするように低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方もしくはドレイン側だけがゲート電極に対し平面的にオーバーラップするように選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記第二の多結晶シリコン膜の前記第一のN型の領域からなる前記抵抗体の一部ないしは全域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第二の多結晶シリコン膜の前記第二のP型の領域からなる前記抵抗体の一部ないしは全域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる請求項1または3または5または12に記載の相補型MOS半導体装置の製造方法。

【請求項41】 半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と

、前記第一の多結晶シリコン膜中に高濃度のP型不純物ドーピングを行い第一の多結晶シリコンの第一のP型の領域を形成する工程と、前記第一の多結晶シリコン上に高融点金属膜を形成する工程と、熱処理を行い前記第一の多結晶シリコンと接触している前記高融点金属膜を高融点金属シリサイド化する工程と、前記前記高融点金属シリサイドと前記第一の多結晶シリコン膜とをパターンニングして前記第一の多結晶シリコンの前記第一のP型領域と前記高融点金属シリサイドの積層からなるゲート電極と配線を形成する工程と、前記半導体基板上に第四の絶縁膜を形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜をパターンニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップする領域と前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行いNチャネル型MOSトランジスターの低濃度のソースとドレインおよび前記第二の多結晶シリコン中に第一のN型の領域を同時に形成する工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップする領域もしくはドレイン側だけが平面的にオーバーラップする領域と前記第二の多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行いPチャネル型MOSトランジスターの低濃度のソースとドレインもしくはドレインと前記第二の多結晶シリコン中に第二のP型の領域を同時に形成する工程と、前記第二の多結晶シリコン膜の前記第一のN型の領域からなる前記抵抗体の一部ないしは全域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第二の多結晶シリコン膜の前記第二のP型の領域からなる前記抵抗体の一部ないしは全域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる請求項1または3または5または12に記載の相補型MOS半導体装置の製造方法。

【請求項42】 半導体基板中にNチャネル型MOSトランジスターとPチャネ

ル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜の全域に高濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン中に第一のP型の領域を形成する工程と、前記第一の多結晶シリコン上に高融点金属シリサイド膜を形成する工程と、前記高融点金属シリサイド上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記高融点金属シリサイドと前記第一の多結晶シリコン膜をパターニングしてゲート電極と配線とを形成する工程と、前記半導体基板上に第四の絶縁膜を形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い前記第二の多結晶シリコン中に第一のN型の領域を形成する工程と、前記第二の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い前記第二の多結晶シリコン中に第二のP型の領域を形成する工程と、前記第二の多結晶シリコン膜をパターニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方もしくはドレイン側だけがゲート電極に対し平面的にオーバーラップするように選択的に低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方もしくはドレイン側だけがゲート電極に対し平面的にオーバーラップするように選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記第二の多結晶シリコン膜の前記第一のN型の領域からなる前記抵抗体の一部ないしは全域およびNチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第二の多結晶シリコン膜の前記第二のP型の領域からなる前記抵抗体の一部ないしは全域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソ

ース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる請求項1または3または5または12に記載の相補型MOS半導体装置の製造方法。

【請求項43】 前記半導体基板がP型半導体基板でありN型ウェルを形成することによりNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定することを特徴とする請求項1または2または3または11または12または13または14または18乃至42いずれかに記載の相補型MOS半導体装置およびその製造方法。

【請求項44】 前記半導体基板がP型半導体基板でありN型ウェルとP型ウェルをそれぞれ形成することによりNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定することを特徴とする請求項1または2または3または11または12または13または14または18乃至42いずれかに記載の相補型MOS半導体装置およびその製造方法。

【請求項45】 前記半導体基板がN型半導体基板でありP型ウェルを形成することによりNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定することを特徴とする請求項1または2または3または11または12または13または14または18乃至42いずれかに記載の相補型MOS半導体装置およびその製造方法。

【請求項46】 前記半導体基板がN型半導体基板でありN型ウェルとP型ウェルをそれぞれ形成することによりNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定することを特徴とする請求項1または2または3または11または12または13または14または18乃至42いずれかに記載の相補型MOS半導体装置およびその製造方法。

【請求項47】 前記半導体基板上に素子分離領域を形成する工程がLOCOS法であることを特徴とする請求項18乃至42いずれかに記載の相補型MOS半導体装置の製造方法。

【請求項48】 前記半導体基板上に素子分離領域を形成する工程がシャロートレンチアイソレーション法であることを特徴とする請求項18乃至42い

れかに記載の相補型MOS半導体装置の製造方法。

【請求項 4 9】 前記しきい値制御のための不純物をドーピングする工程がイオン注入法であり、Nチャネル型MOSトランジスターのしきい値制御のための該不純物が砒素ないしリンであることを特徴とする請求項 1 8 乃至 4 2 いずれかに記載の相補型MOS半導体装置の製造方法。

【請求項 5 0】 前記第一の多結晶シリコンは化学気相成長法により形成されることを特徴とする請求項 1 または 2 または 3 または 4 または請求項 1 8 乃至 4 2 いずれかに記載の相補型MOS半導体装置およびその製造方法。

【請求項 5 1】 前記第二の多結晶シリコンは化学気相成長法もしくはスパッタ法により形成されることを特徴とする請求項 1 または 5 または 1 9 または 2 0 または 2 3 または 2 8 または 2 9 または 3 2 または 3 3 または請求項 3 8 乃至 4 2 いずれかに記載の相補型MOS半導体装置およびその製造方法。

【請求項 5 2】 前記第一の多結晶シリコンの前記第一のP型の領域の形成は、不純物としてボロンないし BF_2 を用いたイオン注入法もしくは不純物としてボロンを用いた電気炉中でのプリデポとドライブイン法もしくは不純物としてボロンを用いて分子層ドーピング法であることを特徴とする請求項 1 8 乃至 4 2 いずれかに記載の相補型MOS半導体装置の製造方法。

【請求項 5 3】 前記第一の多結晶シリコンの前記第一のP型の領域を形成する工程は多結晶シリコンを堆積すると同時に不純物としてボロンをドーピングする化学気相成長法であることを特徴とする請求項 1 9 または 2 0 または 2 3 または 2 8 または 2 9 または 3 2 または 3 3 または請求項 3 8 乃至 4 2 いずれかに記載の相補型MOS半導体装置の製造方法。

【請求項 5 4】 前記第一の絶縁膜は化学気相成長法もしくは熱酸化法により形成されたシリコン酸化膜であり、該第一の絶縁膜の膜厚が1000 Åから2000 Åの範囲であることを特徴とする請求項 1 8 または 1 9 または 2 0 または 4 2 いずれかに記載の相補型MOS半導体装置の製造方法。

【請求項 5 5】 前記第一の絶縁膜は化学気相成長法により形成されたシリコン窒化膜であり、該第一の絶縁膜の膜厚が1000 Åから2000 Åの範囲であることを特徴とする請求項 1 8 または 1 9 または 2 0 または 4 2 に記載の相補

型MOS半導体装置の製造方法。

【請求項 5 6】 前記第一の絶縁膜は下層が化学気相成長法もしくは熱酸化法により形成されたシリコン酸化膜であり上層が化学気相成長法により形成されたシリコン窒化膜である積層構造であり、該第一の絶縁膜の総膜厚が1 0 0 0 Åから3 0 0 0 Åの範囲であることを特徴とする請求項 2 1 乃至 2 9 いずれかに記載の相補型MOS半導体装置の製造方法。

【請求項 5 7】 前記第二の絶縁膜は化学気相成長法により形成され、該第二の絶縁膜の膜厚が1 0 0 0 Åから4 0 0 0 Åの範囲であることを特徴とする請求項 2 4 乃至 2 7 または 3 4 乃至 3 7 いずれかに記載の相補型MOS半導体装置の製造方法。

【請求項 5 8】 前記第三の絶縁膜は化学気相成長法により形成されたシリコン酸化膜であり、該第三の絶縁膜の総膜厚が2 0 0 0 Åから6 0 0 0 Åの範囲であることを特徴とする請求項 2 1 乃至 2 9 いずれかに記載の相補型MOS半導体装置の製造方法。

【請求項 5 9】 前記高融点金属シリサイドは化学気相成長法もしくはスパッタ法により形成されることを特徴とする請求項 1 または 3 または 1 9 または 2 0 または請求項 2 4 乃至 2 9 または請求項 3 4 乃至 4 2 いずれかに記載の相補型MOS半導体装置およびその製造方法。

【請求項 6 0】 前記高融点金属はスパッタ法により形成されたコバルトもしくはチタンであり、該高融点金属の膜厚が1 0 0 Åから5 0 0 Åの範囲であることを特徴とする請求項 2 0 または 2 6 または 2 7 または 2 9 または 3 6 または 3 7 または 4 0 または 4 1 に記載の相補型MOS半導体装置の製造方法。

【請求項 6 1】 ゲートとドレインが短絡しているエンハンスメント型NMOSトランジスタのゲートとドレインに、ゲートとソースが短絡しているディプリーション型NMOSトランジスタのゲートとソースを接続し、該接続点を出力ノードとした基準電圧回路において、前記エンハンスメント型NMOSトランジスタおよび前記ディプリーション型NMOSトランジスタのゲート電極の極性がP型であることを特徴とする半導体装置。

【請求項 6 2】 ゲートとドレインが短絡しているエンハンスメント型NMOS

トランジスタのソースに、ゲートとソースが短絡しているディプリーション型NMOSトランジスタのドレインを接続し、該接続点を出力ノードとした基準電圧回路において、前記エンハンスメント型NMOSトランジスタおよび前記ディプリーション型NMOSトランジスタのゲート電極の極性がP型であることを特徴とする半導体装置。

【請求項63】 ゲートとドレインが短絡しているエンハンスメント型NMOSトランジスタのゲートとドレインに、ゲートが前記エンハンスメント型NMOSトランジスタのソースに短絡しているディプリーション型NMOSトランジスタのソースを接続し、該接続点を出力ノードとした基準電圧回路において、前記エンハンスメント型NMOSトランジスタおよび前記ディプリーション型NMOSトランジスタのゲート電極の極性がP型であることを特徴とする半導体装置。

【請求項64】 ゲートとソースが短絡しているディプリーション型NMOSトランジスタのドレインに、ソースが電源に接続されている第一のエンハンスメント型PMOSトランジスタのドレインとゲートを接続し、ソースが電源に接続されかつゲートが前記第一のエンハンスメント型PMOSトランジスタと共通に接続された第二のエンハンスメント型PMOSトランジスタのドレインに、ゲートとドレインが短絡しているエンハンスメント型NMOSトランジスタのゲートとドレインを接続し、該接続点を出力ノードとした基準電圧回路において、前記エンハンスメント型NMOSトランジスタおよび前記ディプリーション型NMOSトランジスタのゲート電極の極性がP型であることを特徴とする半導体装置。

【請求項65】 ゲートとソースが短絡している第一のディプリーション型NMOSトランジスタのドレインに、ゲートとソースが短絡している第二のディプリーション型NMOSトランジスタのゲートとソースが接続され、該第二のディプリーション型NMOSトランジスタのドレインが電源に接続され、前記第一のディプリーション型NMOSトランジスタのソースにゲートとドレインが短絡しているエンハンスメント型NMOSトランジスタを接続し、該接続点を出力ノードとした基準電圧回路において、前記エンハンスメント型NMOSトランジスタおよび前記第一ディプリーション型NMOSトランジスタと前記第二のディプリーション型NMOSトランジスタのゲート電極の極性がP型であることを特徴とする半導体装置

【請求項 6 6】 ゲートとドレインが短絡しているエンハンスメント型NMOSトランジスタのゲートとドレインに、ゲートが前記エンハンスメント型NMOSトランジスタのソースに短絡している第一ディプリーション型NMOSトランジスタのソースを接続し、該第一のディプリーション型NMOSトランジスタのドレインにゲートとソースが短絡している第二のディプリーション型NMOSトランジスタのゲートとソースが接続され、該第二のディプリーション型NMOSトランジスタのドレインが電源に接続され、前記エンハンスメント型NMOSトランジスタのドレインと前記第一のディプリーション型NMOSトランジスタのソースの接続点を出力ノードとした基準電圧回路において、前記エンハンスメント型NMOSトランジスタおよび前記第一のディプリーション型NMOSトランジスタと前記第二のディプリーション型NMOSトランジスタのゲート電極の極性がP型であることを特徴とする半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は低電圧動作、低消費電力および高駆動能力が要求される半導体装置、特に電圧検出器(Voltage Detector、以後VDと表記)や定電圧レギュレータ(Voltage Regulator、以後VRと表記)やスイッチングレギュレータ(Switching Regulator、以後SWRと表記など)などのパワーマネジメント半導体装置やオペアンプ、コンパレータなどのアナログ半導体装置の製造方法に関する。

【 0 0 0 2 】

【従来の技術】

図 8 9 に従来の半導体装置の模式的断面図を示す。P型半導体基板に形成されたゲート電極がN+型の多結晶シリコンからなるNチャネル型MOSトランジスタ(以後NMOSと表記)と、Nウェル領域に形成されたゲート電極がやはりN+型の多結晶シリコンからなるPチャネル型MOSトランジスタ(以後PMOSと表記)とからなる相補型MOS構造(Complementary MOS、以後CMOSと表記)と、フィールド絶縁膜上に形成されている電圧を分圧するための分圧回路もしくは時定数を設定す

るCR回路などに用いられる抵抗体とから構成されている。抵抗体はその製造方法の簡便さから、導電型がN型であるCMOSのゲート電極と同一層でかつ同導電型の多結晶シリコンにより形成されている。

【 0 0 0 3 】

【発明が解決しようとする課題】

上記の従来の構造による半導体装置において、標準的なしきい値電圧である0.7V程度のエンハンスメント型のNMOS（以後E型NMOSと表記）は、ゲート電極の導電型がN+型の多結晶シリコンであるためゲート電極と半導体基板の仕事関数の関係からチャンネルが半導体基板の表面に形成される表面チャンネルであるが、標準的なしきい値電圧である-0.7V程度のエンハンスメント型のPMOS（以後E型PMOSと表記）は、N+型多結晶シリコンであるゲート電極とNウェルの仕事関数の関係からチャンネルが半導体基板表面よりも幾分半導体基板内側に形成される埋込みチャンネルとなっている。

【 0 0 0 4 】

埋込みチャンネル型のE型PMOSにおいて、低電圧動作を実現すべくしきい値電圧を例えば-0.5V以上に設定する場合、MOSトランジスターの低電圧動作の一指標であるサブスレッショルド特性は極めて悪化し、従ってPMOSのオフ時におけるリーク電流は増加し、結果として半導体装置の待機時における消費電流が著しく増加し、近年需要が大きく今後もその市場がさらに発展すると言われている携帯電話や携帯端末に代表される携帯機器への適用が困難であるという問題を有している。

【 0 0 0 5 】

一方上記の課題である低電圧動作と低消費電流を両立させる技術的方策として、図90および図91に示すNMOSのゲート電極の導電型がN型であり、PMOSのゲート電極の導電型をP型としたいいわゆる同極ゲート技術が一般に知られているところである。この場合E型NMOSとE型PMOSともに表面チャンネル型のMOSトランジスターであるため、しきい値電圧を小さくしても極端なサブスレッショルド係数の悪化に至らず低電圧動作および低消費電力がともに可能となる。

【 0 0 0 6 】

しかし同極ゲートCMOSは、N+多結晶シリコン単極だけのゲート電極であるCMOSに比べ、その製造工程においてNMOS、PMOSともにゲートの極性を各々作り分けるために工程数が増加し製造コストや製造工期の増大を招くという問題を有している。

【 0 0 0 7 】

またVDやVRやSWRなどのパワーマネージメント半導体装置を構成する重要な要素回路として高電圧供給端子の電位に関わらず低電圧供給端子の電位に対し出力端子から常に一定の電圧を出力する回路である基準電圧回路があるが、基準電圧回路はE型NMOSとディプリーション型NMOS（以後D型NMOSと表記）の直列接続で構成される場合が多くゲート電極の極性がN型の場合、ゲートとウェルないしは基板の仕事関数の関係からE型NMOSは表面チャネルであるがD型NMOSは埋込みチャネルとなっている。基準電圧回路の重要な特性として温度変化に対する出力電圧の変化が小さくあることが挙げられるが、MOSのしきい値電圧と相互コンダクタンスの温度変化に対する変化の程度は表面チャネルと埋込みチャネルでは大きく異なるため、その結果として出力電圧の温度に対する変化を小さくすることが困難であるという問題も有している。

【 0 0 0 8 】

本発明は低コストで短工期でありかつ低電圧動作や低消費電力であるパワーマネージメント半導体装置やアナログ半導体装置の実現を可能とする構造とその製造方法を提供することを目的とする。

【 0 0 0 9 】

【課題を解決するための手段】

上記課題を解決するために、本発明は次の手段を用いた。

【 0 0 1 0 】

(1)

Nチャネル型MOSトランジスターとPチャネル型MOSトランジスターと抵抗体とを有する相補型MOS半導体装置において、前記Nチャネル型MOSトランジスターのゲート電極の導電型がP型であり、前記Pチャネル型MOSトランジスターのゲート電極の導電型がP型であることを特徴とする相補型MOS半導体装置とした。

【 0 0 1 1 】

(2)

前記Nチャネル型MOSトランジスターのP型ゲート電極および前記Pチャネル型MOSトランジスターのP型ゲート電極は膜厚が2000 Åから6000 Åの範囲であり不純物濃度が $1 \times 10^{19} \text{atoms/cm}^3$ 以上のボロンまたは BF_2 を含む第一の多結晶シリコン単層からなることを特徴とする相補型MOS半導体装置とした。

【 0 0 1 2 】

(3)

前記Nチャネル型MOSトランジスターのP型ゲート電極および前記Pチャネル型MOSトランジスターのP型ゲート電極は膜厚が1000 Åから4000 Åの範囲であり不純物濃度が $1 \times 10^{19} \text{atoms/cm}^3$ 以上のボロンまたは BF_2 を含む第一の多結晶シリコンと、膜厚が500 Åから2500 Åの範囲であるモリブデンシリサイドもしくはタングステンシリサイドもしくはチタンシリサイドもしくはプラチナシリサイドである第一の高融点金属シリサイドとの積層からなるポリサイド構造であることを特徴とする相補型MOS半導体装置とした。

【 0 0 1 3 】

(4)

前記抵抗体がゲート電極を構成する前記第一の多結晶シリコンと同一層でかつ同じ膜厚の範囲である多結晶シリコンであることを特徴とする相補型MOS半導体装置とした。

【 0 0 1 4 】

(5)

前記抵抗体は膜厚が500 Åから2000 Åの範囲の第二の多結晶シリコンであることを特徴とする相補型MOS半導体装置とした。

【 0 0 1 5 】

(6)

前記抵抗体が、Ni-Cr合金もしくはCr-SiO合金もしくはモリブデンシリサイドもしくは β -フェライトシリサイドの薄膜金属抵抗体であり、膜厚が100 Åから300 Åでの範囲であることを特徴とする相補型MOS半導体装置とした。

【 0 0 1 6 】

(7)

前記第一もしくは前記第二の多結晶シリコンからなる前記抵抗体は不純物濃度が $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ であるリンまたは砒素を含み、シート抵抗値が数 $\text{k}\Omega/\square$ から数十 $\text{k}\Omega/\square$ 程度である比較的低濃度な第一のN型抵抗体を含むことを特徴とする相補型MOS半導体装置とした。

【 0 0 1 7 】

(8)

前記第一もしくは前記第二の多結晶シリコンからなる前記抵抗体は不純物濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上であるリンまたは砒素を含み、シート抵抗値が $100 \Omega/\square$ 前後から数百 Ω/\square 程度であり、温度係数が数百 $\text{ppm}/^\circ\text{C}$ から千 $\text{ppm}/^\circ\text{C}$ 前後程度である比較的高濃度な第二のN型抵抗体を含むことを特徴とする相補型MOS半導体装置とした。

【 0 0 1 8 】

(9)

前記第一もしくは前記第二の多結晶シリコンからなる前記抵抗体は不純物濃度が $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ であるボロンまたは BF_2 を含み、シート抵抗値が数 $\text{k}\Omega/\square$ から数十 $\text{k}\Omega/\square$ 程度である比較的低濃度な第一のP型抵抗体を含むことを特徴とする相補型MOS半導体装置とした。

【 0 0 1 9 】

(10)

前記第一もしくは前記第二の多結晶シリコンからなる前記抵抗体は不純物濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上であるボロンまたは BF_2 を含み、シート抵抗値が数百 Ω/\square から $1 \text{ k}\Omega/\square$ 前後であり、温度係数が数百 $\text{ppm}/^\circ\text{C}$ から千 $\text{ppm}/^\circ\text{C}$ 前後程度である比較的高濃度な第二のP型抵抗体を含むことを特徴とする相補型MOS半導体装置とした。

【 0 0 2 0 】

(11)

前記Nチャネル型MOSトランジスターおよび前記Pチャネル型MOSトランジスター

は、ソースとドレインとが前記P型ゲート電極と平面的にオーバーラップしている高不純物濃度の拡散層からなるシングルドレイン構造である第一の構造のMOSトランジスターを含むことを特徴とする相補型MOS半導体装置とした。

【 0 0 2 1 】

(1 2)

前記Nチャネル型MOSトランジスターおよび前記Pチャネル型MOSトランジスターは、ドレイン側だけが前記P型ゲート電極と平面的にオーバーラップしているかもしくはソースとドレインの両方が前記P型ゲート電極と平面的にオーバーラップしている低不純物濃度の拡散層と、ドレイン側だけが前記P型ゲート電極と平面的にオーバーラップしないかもしくはソースとドレインの両方が前記P型ゲート電極と平面的にオーバーラップしない高不純物濃度の拡散層とからなる第二の構造のMOSトランジスターを含むことを特徴とする相補型MOS半導体装置とした。

【 0 0 2 2 】

(1 3)

前記Nチャネル型MOSトランジスターおよび前記Pチャネル型MOSトランジスターは、ドレイン側だけが前記P型ゲート電極と平面的にオーバーラップしているかもしくはソースとドレインの両方が前記P型ゲート電極と平面的にオーバーラップしている低不純物濃度の拡散層と、ドレイン側だけが前記P型ゲート電極と平面的にオーバーラップしないかもしくはソースとドレインの両方が前記P型ゲート電極と平面的にオーバーラップしない高不純物濃度の拡散層とからなり、さらに前記高不純物濃度の拡散層と前記P型ゲート電極の間の絶縁膜がゲート絶縁膜よりも膜厚が厚い第三の構造のMOSトランジスターを含むことを特徴とする相補型MOS半導体装置とした。

【 0 0 2 3 】

(1 4)

前記Nチャネル型MOSトランジスターおよび前記Pチャネル型MOSトランジスターは、ソースとドレインが前記P型ゲート電極と平面的にオーバーラップしている高不純物濃度の拡散層と、ドレイン側のみもしくはソースとドレインの両方が前記高濃度拡散層よりさらにチャネル側に拡散して前記P型ゲート電極と平面的に

オーバーラップしている低不純物濃度の拡散層とからなる第四の構造のMOSトランジスターを含むことを特徴とする相補型MOS半導体装置とした。

【0024】

(15)

前記Nチャネル型MOSトランジスターにおいて、しきい値電圧がエンハンスメントであるチャネルは埋込みチャネルであることを特徴とする相補型MOS半導体装置とした。

【0025】

(16)

前記Pチャネル型MOSトランジスターにおいて、しきい値電圧がエンハンスメントであるチャネルは表面チャネルであることを特徴とする相補型MOS半導体装置とした。

【0026】

(17)

前記第二の構造のMOSトランジスターおよび前記第三の構造のMOSトランジスターおよび前記第四の構造のMOSトランジスターにおける前記低不純物濃度拡散層は前記Nチャネル型MOSトランジスターにおいては不純物として砒素またはリンを用い不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ であり、前記Pチャネル型MOSトランジスターにおいては不純物としてボロンまたは BF_2 を用い不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ であり、前記第一の構造のMOSトランジスターおよび前記第二の構造のMOSトランジスターおよび前記第三の構造のMOSトランジスターおよび前記第四の構造のMOSトランジスターにおける前記高不純物濃度拡散層は前記Nチャネル型MOSトランジスターにおいては不純物として砒素またはリンを用い不純物濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 以上であり、前記Pチャネル型MOSトランジスターにおいては不純物としてボロンまたは BF_2 を用い不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 以上であることを特徴とする相補型MOS半導体装置とした。

【0027】

(18)

半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い前記第一の多結晶シリコン膜中に第一のN型の領域を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン膜中に第一のP型の領域を形成する工程と、前記第一の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン膜中に第二のP型領域を形成する工程と、前記第一の多結晶シリコン膜上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記第一の多結晶シリコン膜をパターンニングして前記第一のP型多結晶シリコン領域からなるゲート電極と配線と前記第一のN型多結晶シリコン領域および前記第二のP型多結晶シリコン領域からなる抵抗体とを形成する工程と、前記抵抗体上の第一の絶縁膜を選択的に除去する工程と、Nチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一のN型多結晶シリコン領域からなる前記抵抗体の一部ないしは全域に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスターのソースとドレインとなる領域および前記第二のP型多結晶シリコン領域からなる前記抵抗体の一部ないしは全域に高濃度のP型不純物をドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 2 8 】

(1 9)

半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜の全域に高濃度のP型不純物ドーピングを行い第一の多結晶シリコンの

第一のP型の領域を形成する工程と、前記第一の多結晶シリコン上に高融点金属シリサイド膜を形成する工程と、前記高融点金属シリサイド上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記高融点金属シリサイドと前記第一のP型の前記第一の多結晶シリコン膜をパターンニングしてゲート電極と配線とを形成する工程と、前記半導体基板上に第四の絶縁膜を形成する工程と、前記前記第四の絶縁膜上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い前記第二の多結晶シリコン中に第一のN型の領域を形成する工程と、前記第二の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い第二の多結晶シリコン中に第二のP型の領域を形成する工程と、前記第二の多結晶シリコン膜をパターンニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスターのソースとドレインとなる領域および前記第二の多結晶シリコン膜の前記第一のN型領域からなる前記抵抗体の一部ないしは全域に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスターのソースとドレインとなる領域および前記第二の多結晶シリコン膜の前記第二のP型領域からなる前記抵抗体の一部ないしは全域に高濃度のP型不純物をドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 2 9 】

(2 0)

半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜の全域に高濃度のP型不純物ドーピングを行い第一の多結晶シリコンの第一のP型の領域を形成する工程と、前記第一の多結晶シリコン上に高融点金属膜を形成する工程と、熱処理を行い前記第一の多結晶シリコンと接触している前記高融点金属膜を高融点金属シリサイド化する工程と、前記高融点金属シリサイド上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記高融点金属シリ

サイドと前記第一のP型の前記第一の多結晶シリコン膜をパターニングしてゲート電極と配線とを形成する工程と、前記半導体基板上に第四の絶縁膜を形成する工程と、前記前記第四の絶縁膜上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い前記第二の多結晶シリコン中に第一のN型の領域を形成する工程と、前記第二の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い第二の多結晶シリコン中に第二のP型の領域を形成する工程と、前記第二の多結晶シリコン膜をパターニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスタのソースとドレインとなる領域および前記第二の多結晶シリコン膜の前記第一のN型領域からなる前記抵抗体の一部ないしは全域に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスタのソースとドレインとなる領域および前記第二の多結晶シリコン膜の前記第二のP型領域からなる前記抵抗体の一部ないしは全域に高濃度のP型不純物をドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 3 0 】

(2 1)

半導体基板中にNチャネル型MOSトランジスタとPチャネル型MOSトランジスタのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い前記第一の多結晶シリコン膜中に第一のN型の領域を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン膜中に第一のP型の領域を形成する工程と、前記第一の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン膜中に第二のP型領域を形成する工程と、前記第一の多結晶シリコン膜上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記第一の多結晶シリコン膜をパターニングして前記第一のP型多結晶シリコン領域からなるゲート電極と配線と前記第一のN型

多結晶シリコン領域および前記第二のP型多結晶シリコン領域からなる抵抗体とを形成する工程と、Nチャネル型MOSトランジスターのソースおよびドレインとなる領域に選択的に低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスターのソースおよびドレインとなる領域に選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記半導体基板上に第三の絶縁膜を堆積する工程と、異方性ドライエッチングにより前記第三の絶縁膜をエッチングし前記第一の多結晶シリコン側壁にサイドスペーサーを形成する工程と、前記抵抗体上の第一の絶縁膜を選択的に除去する工程と、Nチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一の多結晶シリコンの前記第一のN型領域からなる前記抵抗体の一部ないしは全域に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一の多結晶シリコンの前記第二のP型領域からなる前記抵抗体の一部ないしは全域に高濃度のP型不純物をドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 3 1 】

(2 2)

半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン中に第一のP型の領域を形成する工程と、前記第一の多結晶シリコン膜上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記第一の多結晶シリコン膜をパターンニングして前記第一のP型多結晶シリコン領域からなるゲート電極と配線と前記第一のP型多結晶シリコン膜領域以外からなる抵抗体領域を形成する工程と、前記抵抗体領域上の第一の絶縁膜を選択的に除去する工程と、Nチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一のP型多結晶シリコン膜領域以外の前記多結晶シリコン膜中に選択的に低濃度のN型不純

物ドーピングを行い低濃度のN型のソースとドレインおよび前記第一の多結晶シリコン中に第一のN型の領域を形成する工程と、Pチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一のP型多結晶シリコン膜領域と前記第一のN型の多結晶シリコン領域以外の前記第一の多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行い低濃度のP型のソースとドレインおよび前記第一の多結晶シリコン中に第二のP型の領域を形成する工程と、前記半導体基板上に第三の絶縁膜を堆積する工程と、異方性ドライエッチングにより前記第三の絶縁膜をエッチングし前記第一の多結晶シリコン側壁にサイドスペーサーを形成する工程と、Nチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一の多結晶シリコンの前記第一のN型領域からなる前記抵抗体の一部ないしは全域に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一の多結晶シリコンの前記第二のP型領域からなる前記抵抗体の一部ないしは全域に高濃度のP型不純物をドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 3 2 】

(2 3)

半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に高濃度のP型不純物ドーピングを行い第一のP型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記第一の多結晶シリコン膜をパターンニングして前記第一の多結晶シリコン領域からなるゲート電極と配線とを形成する工程と、Nチャネル型MOSトランジスターのソースおよびドレインとなる領域に選択的に低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスターのソースおよびドレインとなる領域に選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記半導体基板上に第三の絶縁

膜を堆積する工程と、異方性ドライエッチングにより前記第三の絶縁膜をエッチングし前記第一の多結晶シリコン側壁にサイド Spacer を形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜中に選択的に低濃度の N 型不純物ドーピングを行い第一の N 型の多結晶シリコン領域を形成する工程と、前記第二の多結晶シリコン膜の全域に低濃度の P 型不純物ドーピングを行い第二の P 型の多結晶シリコン領域を形成する工程と、前記第二の多結晶シリコン膜をパターニングし抵抗体を形成する工程と、N チャネル型 MOS トランジスタのソースとドレインとなる領域および前記第二の多結晶シリコンの第一の N 型の領域からなる前記抵抗体の一部ないしは全域に選択的に高濃度の N 型不純物をドーピングする工程と、P チャネル型 MOS トランジスタのソースとドレインとなる領域および前記第二の多結晶シリコンの第二の P 型の領域からなる前記抵抗体の一部ないしは全域に選択的に高濃度の P 型不純物をドーピングする工程とからなる相補型 MOS 半導体装置の製造方法とした。

【 0 0 3 3 】

(2 4)

半導体基板中に N チャネル型 MOS トランジスタと P チャネル型 MOS トランジスタのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に低濃度の N 型不純物ドーピングを行い第一の N 型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度の P 型不純物ドーピングを行い第一の P 型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜の全域に低濃度の P 型不純物ドーピングを行い第二の P 型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜上に第二の絶縁膜を形成する工程と、前記第一の多結晶シリコンの前記第一の P 型の領域上の前記第二の絶縁膜を選択的に除去する工程と、前記半導体基板上に高融点金属シリサイド膜を形成する工程と、パターニングされた前記第二の絶縁膜上およびその近傍の前記高融点金属シリサイド膜を選択的に除去する工程と、

パターニングされた前記第二の絶縁膜を除去する工程と、前記高融点金属シリサイドおよび前記第一の多結晶シリコン膜上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記第一の多結晶シリコン膜と前記高融点金属シリサイド膜をパターニングして前記第一の多結晶シリコンの前記第一のP型の領域と前記高融点金属シリサイドの積層からなるゲート電極と配線と前記第一の多結晶シリコンの前記第一のN型多領域および前記第二のP型の領域からなる抵抗体とを形成する工程と、Nチャネル型MOSトランジスタのソースおよびドレインとなる領域に選択的に低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスタのソースおよびドレインとなる領域に選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記半導体基板上に第三の絶縁膜を堆積する工程と、異方性ドライエッチングにより前記第三の絶縁膜をエッチングし前記第一の多結晶シリコンおよび前記高融点金属シリサイド側壁にサイド Spacer を形成する工程と、前記抵抗体上の前記第一の絶縁膜を選択的に除去する工程と、Nチャネル型MOSトランジスタのソースとドレインとなる領域および前記第一のN型多結晶シリコン領域からなる前記抵抗体の一部ないしは全域に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスタのソースとドレインとなる領域および前記第二のP型多結晶シリコン領域からなる前記抵抗体の一部ないしは全域に高濃度のP型不純物をドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 3 4 】

(2 5)

半導体基板中にNチャネル型MOSトランジスタとPチャネル型MOSトランジスタのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い第一のP型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜上に第二の絶縁膜を形成する工程と、前記第一多結晶シリコンの前記第一のP型の領域上の前記第二

の絶縁膜を選択的に除去する工程と、前記半導体基板上に高融点金属シリサイド膜を形成する工程と、パターニングされた前記第二の絶縁膜上およびその近傍の前記高融点金属シリサイド膜を選択的に除去する工程と、パターニングされた前記第二の絶縁膜を除去する工程と、前記高融点金属シリサイドおよび前記第一の多結晶シリコン膜上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記第一の多結晶シリコン膜および前記高融点金属シリサイドをパターニングして前記第一の多結晶シリコンの第一のP型の領域と前記高融点金属シリサイドの積層からなるゲート電極と配線と前記第一の多結晶シリコンの前記第一のP型領域以外からなる抵抗体領域を形成する工程と、前記抵抗体領域上の第一の絶縁膜を選択的に除去する工程と、Nチャネル型MOSトランジスタのソースとドレインとなる領域および前記第一のP型領域以外の前記第一の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い低濃度のN型のソースとドレインおよび前記第一の多結晶シリコン中に第一のN型の領域を形成する工程と、Pチャネル型MOSトランジスタのソースとドレインとなる領域および前記第一のP型領域と前記第一のN型領域以外の前記第一の多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行い低濃度のP型のソースとドレインおよび前記第一の多結晶シリコン中に第二のP型の領域を形成する工程と、前記半導体基板上に第三の絶縁膜を堆積する工程と、異方性ドライエッチングにより前記第三の絶縁膜をエッチングし前記第一の多結晶シリコンおよび前記高融点金属シリサイド側壁にサイド Spacer を形成する工程と、Nチャネル型MOSトランジスタのソースとドレインとなる領域および前記第一のN型多結晶シリコン領域からなる前記抵抗体の一部ないしは全域に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスタのソースとドレインとなる領域および前記第二のP型多結晶シリコン領域からなる前記抵抗体の一部ないしは全域に高濃度のP型不純物をドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 3 5 】

(2 6)

半導体基板中にNチャネル型MOSトランジスタとPチャネル型MOSトランジスタのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分

離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い第一のN型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い第一のP型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い第二のP型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜上に第二の絶縁膜を形成する工程と、前記第一の多結晶シリコンの前記第一のP型の領域上の前記第二の絶縁膜を選択的に除去する工程と、前記半導体基板上に高融点金属膜を形成する工程と、熱処理を行い前記第一の多結晶シリコンと接触している前記高融点金属膜を高融点金属シリサイド化する工程と、前記第二の絶縁膜上の未反応である前記高融点金属膜を選択的に除去する工程と、パターニングされた前記第二の絶縁膜を除去する工程と、前記高融点金属シリサイドおよび前記第一の多結晶シリコン膜上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記第一の多結晶シリコン膜と前記高融点金属シリサイド膜をパターニングして前記第一の多結晶シリコンの前記第一のP型の領域と前記高融点金属シリサイドの積層からなるゲート電極と配線と前記第一の多結晶シリコンの前記第一のN型多領域および前記第二のP型の領域からなる抵抗体とを形成する工程と、Nチャネル型MOSトランジスターのソースおよびドレインとなる領域に選択的に低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスターのソースおよびドレインとなる領域に選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記半導体基板上に第三の絶縁膜を堆積する工程と、異方性ドライエッチングにより前記第三の絶縁膜をエッチングし前記第一の多結晶シリコンおよび前記高融点金属シリサイド側壁にサイドスペーサーを形成する工程と、前記抵抗体上の前記第一の絶縁膜を選択的に除去する工程と、Nチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一のN型多結晶シリコン領域からなる前記抵抗体の一部ないしは全域に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスターの

ソースとドレインとなる領域および前記第二のP型多結晶シリコン領域からなる前記抵抗体の一部ないしは全域に高濃度のP型不純物をドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 3 6 】

(2 7)

半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い第一のP型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜上に第二の絶縁膜を形成する工程と、前記第一多結晶シリコンの前記第一のP型の領域上の前記第二の絶縁膜を選択的に除去する工程と、前記半導体基板上に高融点金属膜を形成する工程と、熱処理を行い前記第一の多結晶シリコンと接触している前記高融点金属膜を高融点金属シリサイド化する工程と、前記第二の絶縁膜上の未反応である前記高融点金属膜を選択的に除去する工程と、パターニングされた前記第二の絶縁膜を除去する工程と、前記高融点金属シリサイドおよび前記第一の多結晶シリコン膜上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記第一の多結晶シリコン膜および前記高融点金属シリサイドをパターニングして前記第一の多結晶シリコンの第一のP型の領域と前記高融点金属シリサイドの積層からなるゲート電極と配線と前記第一の多結晶シリコンの前記第一のP型領域以外からなる抵抗体領域を形成する工程と、前記抵抗体領域上の第一の絶縁膜を選択的に除去する工程と、Nチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一のP型領域以外の前記第一の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い低濃度のN型のソースとドレインおよび前記第一の多結晶シリコン中に第一のN型の領域を形成する工程と、Pチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一のP型領域と前記第一のN型領域以外の前記第一の多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピ

ングを行い低濃度のP型のソースとドレインおよび前記第一の多結晶シリコン中に第二のP型の領域を形成する工程と、前記半導体基板上に第三の絶縁膜を堆積する工程と、異方性ドライエッチングにより前記第三の絶縁膜をエッチングし前記第一の多結晶シリコンおよび前記高融点金属シリサイド側壁にサイドスペーサーを形成する工程と、Nチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一のN型多結晶シリコン領域からなる前記抵抗体の一部ないしは全域に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスターのソースとドレインとなる領域および前記第二のP型多結晶シリコン領域からなる前記抵抗体の一部ないしは全域に高濃度のP型不純物をドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 3 7 】

(2 8)

半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜の全域に高濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン中に第一のP型の領域を形成する工程と、前記第一の多結晶シリコン上に高融点金属シリサイド膜を形成する工程と、前記高融点金属シリサイド上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記高融点金属シリサイドと前記第一の多結晶シリコン膜をパターニングしてゲート電極と配線とを形成する工程と、Nチャネル型MOSトランジスターのソースおよびドレインとなる領域に選択的に低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスターのソースおよびドレインとなる領域に選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記半導体基板上に第三の絶縁膜を堆積する工程と、異方性ドライエッチングにより前記第三の絶縁膜をエッチングし前記高融点金属シリサイドと前記第一の多結晶シリコン側壁にサイドスペーサーを形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成す

る工程と、前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い第一のN型の多結晶シリコン領域を形成する工程と、前記第二の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い第二のP型の多結晶シリコン領域を形成する工程と、前記第二の多結晶シリコン膜をパターニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスタのソースとドレインとなる領域および前記第二の多結晶シリコンの第一のN型の領域からなる前記抵抗体の一部ないしは全域に選択的に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスタのソースとドレインとなる領域および前記第二の多結晶シリコンの第二のP型の領域からなる前記抵抗体の一部ないしは全域に選択的に高濃度のP型不純物をドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 3 8 】

(2 9)

半導体基板中にNチャネル型MOSトランジスタとPチャネル型MOSトランジスタのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜の全域に高濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン中に第一のP型の領域を形成する工程と、前記第一の多結晶シリコン上に高融点金属膜を形成する工程と、熱処理を行い前記第一の多結晶シリコンと接触している前記高融点金属膜を高融点金属シリサイド化する工程と前記高融点金属シリサイド上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記高融点金属シリサイドと前記第一の多結晶シリコン膜をパターニングしてゲート電極と配線とを形成する工程と、Nチャネル型MOSトランジスタのソースおよびドレインとなる領域に選択的に低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスタのソースおよびドレインとなる領域に選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記半導体基板上に第三の絶縁膜を堆積する工程と、異方性ドライエッチングにより前記

第三の絶縁膜をエッチングし前記高融点金属シリサイドと前記第一の多結晶シリコン側壁にサイドスペーサーを形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い第一のN型の多結晶シリコン領域を形成する工程と、前記第二の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い第二のP型の多結晶シリコン領域を形成する工程と、前記第二の多結晶シリコン膜をパターニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスターのソースとドレインとなる領域および前記第二の多結晶シリコンの第一のN型の領域からなる前記抵抗体の一部ないしは全域に選択的に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスターのソースとドレインとなる領域および前記第二の多結晶シリコンの第二のP型の領域からなる前記抵抗体の一部ないしは全域に選択的に高濃度のP型不純物をドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 3 9 】

(3 0)

半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い前記第一の多結晶シリコン中に第一のN型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン中に第一のP型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン中に第二のP型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜をパターニングして前記第一の多結晶シリコンの前記第一のP型領域からなるゲート電極と配線と前記第一の多結晶シリコンの前記第一のN型領域および前記第二のP型領域からなる抵抗体とを形成する工程と、Nチャネル型

MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップするように低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方もしくはドレイン側だけがゲート電極に対し平面的にオーバーラップするように選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記第一の多結晶シリコン膜の前記第一のN型の領域からなる前記抵抗体の一部ないしは全域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第一の多結晶シリコン膜の前記第二のP型の領域からなる前記抵抗体の一部ないしは全域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 4 0 】

(3 1)

半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い第一のP型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜をパターニングして前記第一の多結晶シリコンの前記第一のP型領域からなるゲート電極と配線と前記第一のP型領域以外からなる抵抗体とを形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップする前記半導体基板および前記第一のP型領域以外の前記第一の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い低濃度のN型のソースとドレインおよび前記第一の多結晶シリコン中に第一のN型の領域を形成する工程と、P

チャネル型MOSトランジスタのゲート電極に対しソースとドレインの両方もしくはドレイン側だけがゲート電極に対し平面的にオーバーラップする前記半導体基板および前記第一のP型領域および前記第二のN型領域以外の前記第一の多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行い低濃度のP型のソースとドレインもしくはドレインおよび前記第一の多結晶シリコン中に第二のP型の領域を形成する工程と、前記第一の多結晶シリコン膜の前記第一のN型の領域からなる前記抵抗体の一部ないしは全域およびNチャネル型MOSトランジスタのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第一の多結晶シリコン膜の前記第二のP型の領域からなる前記抵抗体の一部ないしは全域およびPチャネル型MOSトランジスタのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 4 1 】

(3 2)

半導体基板中にNチャネル型MOSトランジスタとPチャネル型MOSトランジスタのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に高濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン中に第一のP型の領域を形成する工程と、前記第一の多結晶シリコン膜をパターンニングして前記第一のP型領域からなるゲート電極と配線とを形成する工程と、前記半導体基板上に第四の絶縁膜を形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い前記第二の多結晶シリコン中に第一のN型の領域を形成する工程と、前記第二の多結晶シリコン膜の全域に低濃度のP型不純物

ドーピングを行い前記第二の多結晶シリコン中に第二のP型の領域を形成する工程と、前記第二の多結晶シリコン膜をパターニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップするように低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方もしくはドレイン側だけがゲート電極に対し平面的にオーバーラップするように選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記第二の多結晶シリコン膜の前記第一のN型の領域からなる前記抵抗体の一部ないし全域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第二の多結晶シリコン膜の前記第二のP型の領域からなる前記抵抗体の一部ないしは全域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 4 2 】

(3 3)

半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に高濃度のP型不純物ドーピングを行い第一の多結晶シリコン中に第一のP型の領域を形成する工程と、前記第一の多結晶シリコン膜をパターニングして前記第一のP型領域からなるゲート電極と配線とを形成する工程と、前記半導体基板上に第四の絶縁膜を形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜をパターニングし抵

抗体を形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップする領域と前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行いNチャネル型MOSトランジスターの低濃度のソースとドレインおよび前記第二の多結晶シリコン中に第一のN型の領域を同時に形成する工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップする領域もしくはドレイン側だけが平面的にオーバーラップする領域と前記第二の多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行いPチャネル型MOSトランジスターの低濃度のソースとドレインもしくはドレインと前記第二の多結晶シリコン中に第二のP型の領域を同時に形成する工程と、前記第二の多結晶シリコン膜の前記第一のN型の領域からなる前記抵抗体の一部ないし全域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第二の多結晶シリコン膜の前記第二のP型の領域からなる前記抵抗体の一部ないし全域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 4 3 】

(3 4)

半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い前記第一の多結晶シリコン中に第一N型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い前記第一の多結晶

シリコン中に第一のP型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン中に第二のP型の多結晶シリコン領域を形成する工程と、前記第一の多結晶シリコン膜上に第二の絶縁膜を形成する工程と、前記第一の多結晶シリコンの前記第一のP型の領域上の前記第二の絶縁膜を選択的に除去する工程と、前記半導体基板上に高融点金属シリサイド膜を形成する工程と、パターニングされた前記第二の絶縁膜上およびその近傍の前記高融点金属シリサイド膜を選択的に除去する工程と、パターニングされた前記第二の絶縁膜を除去する工程と、前記第一の多結晶シリコン膜と前記高融点金属シリサイド膜をパターニングして前記第一の多結晶シリコンの前記第一のP型の領域と前記高融点金属シリサイドの積層からなるゲート電極と配線と前記第一の多結晶シリコンの前記第一のN型領域および前記第二のP型領域からなる抵抗体とを形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップするように低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方もしくはドレイン側だけがゲート電極に対し平面的にオーバーラップするように選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記第一の多結晶シリコンの前記第一のN型の領域からなる前記抵抗体の一部ないしは全域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第一の多結晶シリコンの前記第二のP型領域からなる前記抵抗体の一部ないしは全域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 4 4 】

(3 5)

半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスタ

一のそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン中に第一のP型の領域を形成する工程と、前記第一の多結晶シリコン膜上に第二の絶縁膜を形成する工程と、前記第一の多結晶シリコンの前記第一のP型の領域上の前記第二の絶縁膜を選択的に除去する工程と、前記半導体基板上に高融点金属シリサイド膜を形成する工程と、パターニングされた前記第二の絶縁膜上およびその近傍の前記高融点金属シリサイド膜を選択的に除去する工程と、パターニングされた前記第二の絶縁膜を除去する工程と、前記第一の多結晶シリコン膜および前記高融点金属シリサイドをパターニングして前記第一の多結晶シリコンの前記第一のP型領域と前記高融点金属シリサイドの積層からなるゲート電極と配線と前記第一の多結晶シリコンの前記第一のP型領域以外からなる抵抗体領域を形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップする領域と前記第一の多結晶シリコンの前記第一のP型領域以外の前記第一の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行いNチャネル型MOSトランジスターの低濃度のソースとドレインおよび前記第一の多結晶シリコン中に第一のN型の領域を同時に形成する工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップする領域もしくはドレイン側だけが平面的にオーバーラップする領域と前記第一の多結晶シリコンの前記第一のP型の領域と前記第一のN型の領域以外の前記第一の多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行いPチャネル型MOSトランジスターの低濃度のソースとドレインもしくはドレインと前記第一の多結晶シリコン中に第二のP型の領域を同時に形成する工程と、前記第一の多結晶シリコンの前記第一のN型の領域からなる前記抵抗体の一部ないしは全域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第一の多結晶シリコンの前記

第二のP型の領域からなる前記抵抗体の一部ないしは全域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 4 5 】

(3 6)

半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い前記第一の多結晶シリコン中に第一のN型の領域を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン中に第一のP型の領域を形成する工程と、前記第一の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン中に第二のP型の領域を形成する工程と、前記第一の多結晶シリコン膜上に第二の絶縁膜を形成する工程と、前記第一の多結晶シリコンの前記第一のP型の領域上の前記第二の絶縁膜を選択的に除去する工程と、前記半導体基板上に高融点金属膜を形成する工程と、熱処理を行い前記第一の多結晶シリコンと接触している前記高融点金属膜を高融点金属シリサイド化する工程と、前記第二の絶縁膜上の未反応である前記高融点金属膜を選択的に除去する工程と、パターニングされた前記第二の絶縁膜を除去する工程と、前記第一の多結晶シリコン膜と前記高融点金属シリサイド膜をパターニングして前記第一の多結晶シリコンの前記第一のP型領域と前記高融点金属シリサイドの積層からなるゲート電極と配線と前記第一の多結晶シリコンの前記第一のN型領域および前記第二のP型領域からなる抵抗体とを形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面

的にオーバーラップするように低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方もしくはドレイン側だけがゲート電極に対し平面的にオーバーラップするように選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記第一の多結晶シリコンの前記第一のN型の領域からなる前記抵抗体の一部ないしは全域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第一の多結晶シリコンの前記第二のP型領域からなる前記抵抗体の一部ないしは全域Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 4 6 】

(3 7)

半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン中に第一のP型の領域を形成する工程と、前記第一の多結晶シリコン膜上に第二の絶縁膜を形成する工程と、前記第一の多結晶シリコンの前記第一のP型の領域上の前記第二の絶縁膜を選択的に除去する工程と、前記半導体基板上に高融点金属膜を形成する工程と、熱処理を行い前記第一の多結晶シリコンと接触している前記高融点金属膜を高融点金属シリサイド化する工程と、前記第二の絶縁膜上の未反応である前記高融点金属膜を選択的に除去する工程と、パターニングされた前記第二の絶縁膜を除去する工程と、前記第一の多結晶シリコン膜および前記高融点金属シリサイドをパターニングして前記第一の多結晶シリコンの前記

第一のP型領域と前記高融点金属シリサイドの積層からなるゲート電極と配線と前記第一の多結晶シリコンの前記第一のP型領域以外からなる抵抗体領域を形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップする領域と前記第一の多結晶シリコンの前記第一のP型領域以外の前記第一の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行いNチャネル型MOSトランジスターの低濃度のソースとドレインおよび前記第一の多結晶シリコン中に第一のN型の領域を同時に形成する工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップする領域もしくはドレイン側だけが平面的にオーバーラップする領域と前記第一の多結晶シリコンの前記第一のP型の領域と前記第一のN型の領域以外の前記第一の多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行いPチャネル型MOSトランジスターの低濃度のソースとドレインもしくはドレインと前記第一の多結晶シリコン中に第二のP型の領域を同時に形成する工程と、前記第一の多結晶シリコンの前記第一のN型の領域からなる前記抵抗体の一部ないしは全域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第一の多結晶シリコンの前記第二のP型の領域からなる前記抵抗体の一部ないしは全域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 4 7 】

(3 8)

半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記

半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に高濃度のP型不純物ドーピングを行い第一の多結晶シリコンの第一のP型の領域を形成する工程と、前記第一の多結晶シリコン上に高融点金属シリサイド膜を形成する工程と、前記前記高融点金属シリサイドと前記第一の多結晶シリコン膜とをパターニングして前記第一の多結晶シリコンの前記第一のP型領域と前記高融点金属シリサイドの積層からなるゲート電極と配線を形成する工程と、前記半導体基板上に第四の絶縁膜を形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い前記第二の多結晶シリコン中に第一のN型の領域を形成する工程と、前記第二の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い前記第二の多結晶シリコン中に第二のP型の領域を形成する工程と、前記第二の多結晶シリコン膜をパターニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップするように低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方もしくはドレイン側だけがゲート電極に対し平面的にオーバーラップするように選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記第二の多結晶シリコン膜の前記第一のN型の領域からなる前記抵抗体の一部ないしは全域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第二の多結晶シリコン膜の前記第二のP型の領域からなる前記抵抗体の一部ないしは全域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 4 8 】

(3 9)

半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に高濃度のP型不純物ドーピングを行い第一の多結晶シリコンの第一のP型領域を形成する工程と、前記第一の多結晶シリコン上に高融点金属シリサイド膜を形成する工程と、前記前記高融点金属シリサイドと前記第一の多結晶シリコン膜とをパターンニングして前記第一多結晶シリコンの前記第一のP型領域と前記高融点金属シリサイドの積層からなるゲート電極と配線を形成する工程と、前記半導体基板上に第四の絶縁膜を形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜をパターンニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップする領域と前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行いNチャネル型MOSトランジスターの低濃度のソースとドレインおよび前記第二の多結晶シリコン中に第一のN型の領域を同時に形成する工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップする領域もしくはドレイン側だけが平面的にオーバーラップする領域と前記第二の多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行いPチャネル型MOSトランジスターの低濃度のソースとドレインもしくはドレインと前記第二の多結晶シリコン中に第二のP型の領域を同時に形成する工程と、前記第二の多結晶シリコン膜の前記第一のN型の領域からなる前記抵抗体の一部ないしは全域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第二の多結晶シリコン膜の前記第二のP型の領域からなる前記抵抗体の一部ないしは全域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオ

オーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 4 9 】

(4 0)

半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に高濃度のP型不純物ドーピングを行い前記第一の多結晶シリコンの第一のP型の領域を形成する工程と、前記第一の多結晶シリコン上に高融点金属膜を形成する工程と、熱処理を行い前記第一の多結晶シリコンと接触している前記高融点金属膜を高融点金属シリサイド化する工程と、前記前記高融点金属シリサイドと前記第一の多結晶シリコン膜とをパターンニングして前記第一の多結晶シリコンの前記第一のP型領域と前記高融点金属シリサイドの積層からなるゲート電極と配線を形成する工程と、前記半導体基板上に第四の絶縁膜を形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い前記第二の多結晶シリコン中に第一のN型の領域を形成する工程と、前記第二の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い前記第二の多結晶シリコン中に第二のP型の領域を形成する工程と、前記第二の多結晶シリコン膜をパターンニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップするように低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方もしくはドレイン側だけがゲート電極に対し平面的にオーバーラップするように選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記第二の多結晶シリコン膜の前記第一のN型の領域からなる前記抵抗体の一部ないしは全域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレ

インの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第二の多結晶シリコン膜の前記第二のP型の領域からなる前記抵抗体の一部ないしは全域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 5 0 】

(4 1)

半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜中に高濃度のP型不純物ドーピングを行い第一の多結晶シリコンの第一のP型の領域を形成する工程と、前記第一の多結晶シリコン上に高融点金属膜を形成する工程と、熱処理を行い前記第一の多結晶シリコンと接触している前記高融点金属膜を高融点金属シリサイド化する工程と、前記前記高融点金属シリサイドと前記第一の多結晶シリコン膜とをパターニングして前記第一の多結晶シリコンの前記第一のP型領域と前記高融点金属シリサイドの積層からなるゲート電極と配線を形成する工程と、前記半導体基板上に第四の絶縁膜を形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜をパターニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースおよびドレインが平面的にオーバーラップする領域と前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行いNチャネル型MOSトランジスターの低濃度のソースとドレインおよび前記第二の多結晶シリコン中に第一のN型の領域を同時に形成する工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップする領域もしくはドレイン側だけが平面的にオーバーラップする領

域と前記第二の多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行いPチャネル型MOSトランジスターの低濃度のソースとドレインもしくはドレインと前記第二の多結晶シリコン中に第二のP型の領域を同時に形成する工程と、前記第二の多結晶シリコン膜の前記第一のN型の領域からなる前記抵抗体の一部ないしは全域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第二の多結晶シリコン膜の前記第二のP型の領域からなる前記抵抗体の一部ないしは全域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 5 1 】

(4 2)

半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に第一の多結晶シリコン膜を形成する工程と、前記第一の多結晶シリコン膜の全域に高濃度のP型不純物ドーピングを行い前記第一の多結晶シリコン中に第一のP型の領域を形成する工程と、前記第一の多結晶シリコン上に高融点金属シリサイド膜を形成する工程と、前記高融点金属シリサイド上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記高融点金属シリサイドと前記第一の多結晶シリコン膜をパターンニングしてゲート電極と配線とを形成する工程と、前記半導体基板上に第四の絶縁膜を形成する工程と、前記半導体基板上に第二の多結晶シリコン膜を形成する工程と、前記第二の多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い前記第二の多結晶シリコン中に第一のN型の領域を形成する工程と、前記第二の多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い前記第二の多結晶シリコン中に第二のP型の領域を形成す

る工程と、前記第二の多結晶シリコン膜をパターニングし抵抗体を形成する工程と、Nチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方もしくはドレイン側だけがゲート電極に対し平面的にオーバーラップするように選択的に低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方もしくはドレイン側だけがゲート電極に対し平面的にオーバーラップするように選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記第二の多結晶シリコン膜の前記第一のN型の領域からなる前記抵抗体の一部ないしは全域およびNチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第二の多結晶シリコン膜の前記第二のP型の領域からなる前記抵抗体の一部ないしは全域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 5 2 】

(4 3)

前記半導体基板がP型半導体基板でありN型ウェルを形成することによりNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定することを特徴とする相補型MOS半導体装置およびその製造方法とした。

【 0 0 5 3 】

(4 4)

前記半導体基板がP型半導体基板でありN型ウェルとP型ウェルをそれぞれ形成することによりNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定することを特徴とする相補型MOS半導体装置およびその製造方法とした。

【 0 0 5 4 】

(4 5)

前記半導体基板がN型半導体基板でありP型ウェルを形成することによりNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定することを特徴とする相補型MOS半導体装置およびその製造方法とした。

【 0 0 5 5 】

(4 6)

前記半導体基板がN型半導体基板でありN型ウェルとP型ウェルをそれぞれ形成することによりNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定することを特徴とする相補型MOS半導体装置およびその製造方法とした。

【 0 0 5 6 】

(4 7)

前記半導体基板上に素子分離領域を形成する工程がLOCOS法であることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 5 7 】

(4 8)

前記半導体基板上に素子分離領域を形成する工程がシャロートレンチアイソレーション法であることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 5 8 】

(4 9)

前記しきい値制御のための不純物をドーピングする工程がイオン注入法であり、Nチャネル型MOSトランジスターのしきい値制御のための該不純物が砒素ないしリンであることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 5 9 】

(5 0)

前記第一の多結晶シリコンは化学気相成長法により形成されることを特徴とする相補型MOS半導体装置およびその製造方法とした。

【 0 0 6 0 】

(51)

前記第二の多結晶シリコンは化学気相成長法もしくはスパッタ法により形成されることを特徴とする相補型MOS半導体装置およびその製造方法とした。

【0061】

(52)

前記第一の多結晶シリコンの前記第一のP型の領域の形成は、不純物としてボロンないしBF₂を用いたイオン注入法もしくは不純物としてボロンを用いた電気炉中でのプリデポとドライブイン法もしくは不純物としてボロンを用いて分子層ドーピング法であることを特徴とする相補型MOS半導体装置の製造方法とした。

【0062】

(53)

前記第一の多結晶シリコンの前記第一のP型の領域を形成する工程は多結晶シリコンを堆積すると同時に不純物としてボロンをドーピングする化学気相成長法であることを特徴とする相補型MOS半導体装置の製造方法とした。

【0063】

(54)

前記第一の絶縁膜は化学気相成長法もしくは熱酸化法により形成されたシリコン酸化膜であり、該第一の絶縁膜の膜厚が1000 Åから2000 Åの範囲であることを特徴とする相補型MOS半導体装置の製造方法とした。

【0064】

(55)

前記第一の絶縁膜は化学気相成長法により形成されたシリコン窒化膜であり、該第一の絶縁膜の膜厚が1000 Åから2000 Åの範囲であることを特徴とする相補型MOS半導体装置の製造方法とした。

【0065】

(56)

前記第一の絶縁膜は下層が化学気相成長法もしくは熱酸化法により形成されたシリコン酸化膜であり上層が化学気相成長法により形成されたシリコン窒化膜である積層構造であり、該第一の絶縁膜の総膜厚が1000 Åから3000 Åの範

囲であることを特徴とする相補型MOS半導体装置の製造方法とした。

【0066】

(57)

前記第二の絶縁膜は化学気相成長法により形成され、該第二の絶縁膜の膜厚が1000Åから4000Åの範囲であることを特徴とする相補型MOS半導体装置の製造方法とした。

【0067】

(58)

前記第三の絶縁膜は化学気相成長法により形成されたシリコン酸化膜であり、該第三の絶縁膜の総膜厚が2000Åから6000Åの範囲であることを特徴とする相補型MOS半導体装置の製造方法とした。

【0068】

(59)

前記高融点金属シリサイドは化学気相成長法もしくはスパッタ法により形成されることを特徴とする相補型MOS半導体装置およびその製造方法とした。

【0069】

(60)

前記高融点金属はスパッタ法により形成されたコバルトもしくはチタンであり、該高融点金属の膜厚が100Åから500Åの範囲であることを特徴とする相補型MOS半導体装置の製造方法とした。

【0070】

(61)

ゲートとドレインが短絡しているエンハンスメント型NMOSトランジスターのゲートとドレインに、ゲートとソースが短絡しているディプリーション型NMOSトランジスターのゲートとソースを接続し、該接続点を出力ノードとした基準電圧回路において、前記エンハンスメント型NMOSトランジスターおよび前記ディプリーション型NMOSトランジスターのゲート電極の極性がP型であることを特徴とする半導体装置とした。

【0071】

(62)

ゲートとドレインが短絡しているエンハンスメント型NMOSトランジスタのソースに、ゲートとソースが短絡しているディプリーション型NMOSトランジスタのドレインを接続し、該接続点を出力ノードとした基準電圧回路において、前記エンハンスメント型NMOSトランジスタおよび前記ディプリーション型NMOSトランジスタのゲート電極の極性がP型であることを特徴とする半導体装置とした。

【0072】

(63)

ゲートとドレインが短絡しているエンハンスメント型NMOSトランジスタのゲートとドレインに、ゲートが前記エンハンスメント型NMOSトランジスタのソースに短絡しているディプリーション型NMOSトランジスタのソースを接続し、該接続点を出力ノードとした基準電圧回路において、前記エンハンスメント型NMOSトランジスタおよび前記ディプリーション型NMOSトランジスタのゲート電極の極性がP型であることを特徴とする半導体装置とした。

【0073】

(64)

ゲートとソースが短絡しているディプリーション型NMOSトランジスタのドレインに、ソースが電源に接続されている第一のエンハンスメント型PMOSトランジスタのドレインとゲートを接続し、ソースが電源に接続されかつゲートが前記第一のエンハンスメント型PMOSトランジスタと共通に接続された第二のエンハンスメント型PMOSトランジスタのドレインに、ゲートとドレインが短絡しているエンハンスメント型NMOSトランジスタのゲートとドレインを接続し、該接続点を出力ノードとした基準電圧回路において、前記エンハンスメント型NMOSトランジスタおよび前記ディプリーション型NMOSトランジスタのゲート電極の極性がP型であることを特徴とする半導体装置とした。

【0074】

(65)

ゲートとソースが短絡している第一のディプリーション型NMOSトランジスタ

のドレインに、ゲートとソースが短絡している第二のディプリーション型NMOSトランジスターのゲートとソースが接続され、該第二のディプリーション型NMOSトランジスターのドレインが電源に接続され、前記第一のディプリーション型NMOSトランジスターのソースにゲートとドレインが短絡しているエンハンスメント型NMOSトランジスターを接続し、該接続点を出力ノードとした基準電圧回路において、前記エンハンスメント型NMOSトランジスターおよび前記第一ディプリーション型NMOSトランジスターと前記第二のディプリーション型NMOSトランジスターのゲート電極の極性がP型であることを特徴とする半導体装置とした。

【 0 0 7 5 】

(6 6)

ゲートとドレインが短絡しているエンハンスメント型NMOSトランジスターのゲートとドレインに、ゲートが前記エンハンスメント型NMOSトランジスターのソースに短絡している第一ディプリーション型NMOSトランジスターのソースを接続し、該第一のディプリーション型NMOSトランジスターのドレインにゲートとソースが短絡している第二のディプリーション型NMOSトランジスターのゲートとソースが接続され、該第二のディプリーション型NMOSトランジスターのドレインが電源に接続され、前記エンハンスメント型NMOSトランジスターのドレインと前記第一のディプリーション型NMOSトランジスターのソースの接続点を出力ノードとした基準電圧回路において、前記エンハンスメント型NMOSトランジスターおよび前記第一のディプリーション型NMOSトランジスターと前記第二のディプリーション型NMOSトランジスターのゲート電極の極性がP型であることを特徴とする半導体装置とした。

【 0 0 7 6 】

【発明の実施の形態】

以下本発明の実施の形態を図面に基づいて説明する。

【 0 0 7 7 】

図 1 は本発明のCMOS半導体装置の一実施例を示す模式的断面図である。P型半導体基板 1 0 1 に形成されたゲート電極がP+型の多結晶シリコン 1 0 7 でありソースとドレインがいわゆるシングルドレイン構造であるNMOS 1 1 3 と、Nウェ

ル領域 1 0 2 に形成されたゲート電極がやはり P+ 型の多結晶シリコン 1 0 7 であるシングルドレイン構造の PMOS 1 1 2 とからなる CMOS と、フィールド絶縁膜 1 0 6 上に形成されている電圧を分圧するための分圧回路もしくは時定数を設定する CR 回路などに用いられる P- 抵抗体 1 1 4 および N- 抵抗体 1 1 5 とから構成されている。ゲート電極である P+ 多結晶シリコン 1 0 7 は可能な限り低抵抗としたいため、濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上のボロンまたは BF_2 などのアクセプター不純物を含む。抵抗体 1 1 4、1 1 5 は CMOS のゲート電極と同一層の多結晶シリコンにより形成されている。

【 0 0 7 8 】

PMOS 1 1 2 においてゲート電極を P+ 多結晶シリコン 1 0 7 とすることで、N ウェル 1 0 2 とゲート電極の仕事関数の関係から E 型 PMOS のチャネルは表面チャネルとなるが、表面チャネル型 PMOS においてはしきい値電圧を例えば - 0. 5 V 以上に設定しても極端なサブスレッショルド係数の悪化に至らず低電圧動作および低消費電力がともに可能となる。

【 0 0 7 9 】

一方 NMOS 1 1 3 においては、P+ 多結晶シリコン 1 0 7 のゲート電極と P 型半導体基板 1 0 1 の仕事関数の関係から E 型 NMOS のチャネルは埋込みチャネルとなるが、しきい値を所望の値に設定する場合に拡散係数の小さな砒素をしきい値制御用ドナー不純物として使用できるためチャネルは極めて浅い埋込みチャネルとなる。従ってしきい値電圧を例えば 0. 5 V 以下の小さな値に設定しても、しきい値制御用アクセプター不純物として拡散係数が大きくイオン注入のプロジェクションレンジも大きいボロンを使用せざるを得ず深い埋込みチャネルとなる N+ 多結晶シリコンをゲート電極とした E 型 PMOS の場合に比べ、サブスレッショルドの劣化やリーク電流の増大を著しく抑制できる。

【 0 0 8 0 】

以上の説明により本発明による P+ 多結晶シリコン単極をゲート電極とした CMOS は、従来の N+ 多結晶シリコン単極をゲート電極とした CMOS に比べ、低電圧動作および低消費電力に対し有効な技術であることが理解されよう。

【 0 0 8 1 】

図 1 には P-抵抗体 1 1 4 および N-抵抗体 1 1 5 の両方を示しているが、それらの抵抗体の特徴と製品に要求される特性とを考慮し工程数やコスト削減の目的で P-抵抗体 1 1 4 もしくは N-抵抗体 1 1 5 のどちらかしかを搭載しない場合もある。

【 0 0 8 2 】

図 2 は本発明の CMOS 半導体装置の第二の実施例を示す模式的断面図である。P+多結晶シリコン単極 CMOS 構造は図 1 の実施例に示した構造と同じであり、図 1 に示した実施例と同様な低電圧動作、低消費電力、低コストの効果を有するが、図 1 に示した実施例との違いは多結晶シリコンからなる抵抗体を比較的高不純物濃度で低抵抗である P+抵抗体 1 1 6 と N+抵抗体 1 1 7 としている点にある。分圧回路のように比較的高いシート抵抗値で比精度が重要な抵抗回路においては図 1 の実施例に示した P-抵抗体や N-抵抗体が有効であるが、時定数を決定するための CR 回路のように絶対値精度が重要な抵抗体や温度係数の小さいことが要求される抵抗体においては、不純物濃度を濃くして比較的低抵抗とした方が絶対値精度ならびに温度係数は改善されるためである。

【 0 0 8 3 】

P+抵抗体 1 1 6 と N+抵抗体 1 1 7 の形成は例えば通常の CMOS 形成における NMOS と PMOS のソースとドレイン形成の際の不純物ドーピングを多結晶シリコンにも同時に行うことにより達成される。この場合 P+抵抗体 1 1 6 はボロンないし BF_2 を不純物とし、濃度は $1 \times 10^{19} \text{ atoms/cm}^3$ 程度以上でシート抵抗値は数百 Ω/\square から 1 k Ω/\square 前後のシート抵抗値であり、温度係数は数百 ppm/ $^{\circ}\text{C}$ から千 ppm/ $^{\circ}\text{C}$ 前後程度となる。N+抵抗体 1 1 7 はリンないし砒素を不純物とし、濃度は $1 \times 10^{19} \text{ atoms/cm}^3$ 程度以上でシート抵抗値は百 Ω/\square 前後から数百 Ω/\square 程度のシート抵抗値であり、温度係数は数百 ppm/ $^{\circ}\text{C}$ から千 ppm/ $^{\circ}\text{C}$ 前後程度となる。また図 2 において、N+抵抗体 1 1 8 と P+抵抗体 1 1 7 の両方を示しているが、半導体装置に要求される特性とそれらの抵抗体の特徴を考慮し工程数やコスト削減の目的でどちらかの抵抗体だけで半導体装置を構成してももちろんかまわない。

【 0 0 8 4 】

次に本発明を実製品に適用した場合の具体的な効果を図3を用いて説明する。図3は半導体装置による正型VRの構成概要を示す。VRは基準電圧回路150とエラーアンプ151とPMOS出力素子152と抵抗156からなる分圧回路157とからなり、入力端子153に任意の電圧が入力されても常に一定の電圧を必要とされる電流値とともに出力端子155に出力する機能を有する半導体装置である。

【0085】

近年、特に携帯機器向けのVRには入力電圧の低電圧化、低消費電力化、小入出力電位差でも高電流を出力できること、出力電圧の高精度化、低コスト化、小型化などが市場から要求されている。特に低コスト化と小型化は優先度の高い要求である。以上の要求に対し、本発明の構造、すなわち低コストで低しきい値電圧化が可能なCMOSによりエラーアンプやPMOS出力素子や基準電圧回路を構成し、低コストで高抵抗かつ高精度であるP-抵抗体により分圧回路を構成することにより低電圧動作、低消費電力、出力電圧の高精度化への対応が可能となる。

【0086】

さらに最も優先度の高い要求である低コスト化、即ちチップサイズの縮小や小型化に対して本発明の構造は極めて多大な効果をもたらすことを具体的に説明する。

【0087】

VRは数十mAから数百mAの電流を出力するが、それはPMOS出力素子の駆動能力に100%依存し、製品によってはチップ面積のほぼ半分をPMOS出力素子が占める場合がある。従ってこのPMOS出力素子のサイズを如何に縮小できるかが低コスト化および小型化のキーとなる。

【0088】

一方、入力電圧の低電圧化の要求と小入出力電位差下で高電流出力の市場要求も強いことは述べたが、これはPMOS出力素子においてゲートに印加される電圧が小さくかつソースとドレイン間電圧が小さい非飽和動作モードにおいて高電流であることを指す。

【0089】

非飽和動作におけるMOSトランジスタのドレイン電流は

$$I_d = (\mu \cdot C_{ox} \cdot W/L) \times \{(V_{gs} - V_{th}) - 1/2 \cdot V_{ds}\} \times V_{ds} \quad - (1) \text{ 式}$$

I_d : ドレイン電流

μ : 移動度

C_{ox} : ゲート絶縁膜容量

W : チャネル幅

L : チャネル長

V_{gs} : ゲート・ソース間電圧

V_{th} : しきい値電圧

V_{ds} : ドレイン・ソース間電圧

で表される。

【 0 0 9 0 】

面積を増やさず、 V_{gs} や V_{ds} が小さくても十分大きいドレインとするには、(1)式よりチャネル長の縮小並びに V_{th} の低下を行う必要がある。

【 0 0 9 1 】

本発明によるP型単極をゲートとしたCMOS構造は、オフ時のリーク電流を抑制したまましきい値電圧の低電圧化並びにチャネル長の縮小が行なえるため、上記のVRの低コスト化および小型化に対して非常に有効な手段であることが理解されよう。

【 0 0 9 2 】

またVRにおける本発明のP型単極ゲートCMOS構造による利点として基準電圧回路の温度特性が改善されることも挙げられる。以下図面を用いて説明する。

図4は本発明の半導体装置による基準電圧回路の第一の実施例を示す模式的断面図であり、本実施例ではNMOSのE型とD型の直列接続による図6に示す基準電圧回路の例を示している。

【 0 0 9 3 】

N型半導体基板118を用い、バックバイアス効果を避けるためE型のNMOS125とD型NMOS126をそれぞれ別々のP型ウェル119中に設けている。
E型NMOS125のドレインとゲートであるP+多結晶シリコンは図には示していな

いが配線金属により短絡されており、さらにE型NMOS 1 2 5のソースは、本実施例ではGND線を示している低電圧供給端子 1 2 2 に結線されている。

【 0 0 9 4 】

D型NMOS 1 2 6のソースとゲートであるP+多結晶シリコンは図には示していないが配線金属により短絡されており、さらにD型NMOS 1 2 6のドレイン高電圧供給端子 1 2 3 に結線されている。

【 0 0 9 5 】

本発明においてゲートはE型NMOS 1 2 5、D型NMOS 1 2 6ともにP+多結晶シリコンを用いているが、NMOSのゲートとして逆導電型であるP型を用いると、NMOSのしきい値電圧を所定値に設定するためのイオン注入法による所謂チャネルドープをまったく行わない場合、ゲート酸化膜厚やPウェルの濃度にもよるが、しきい値電圧は通常1.0V以上となる。E型NMOSのしきい値電圧としては0.7V程度が使われる場合が多いが、このしきい値電圧に設定するために、P型ゲートを用いたNMOSにおいては、カウンタードーパントであるリンや砒素をチャネルドープ法により半導体中に導入する。このようにするとMOSトランジスタのチャネルは最も濃度の低い部分に形成され、E型NMOS 1 2 5は埋込みチャネルとなる。またD型NMOSのしきい値電圧は通常-0.3V程度が用いられるが、この場合もこのしきい値電圧に設定するためにカウンタードーパントであるリンや砒素をチャネルドープするためD型NMOS 1 2 6も埋込みチャネルとなる。従ってP型のゲートとすることでE型NMOS、D型NMOS両方のNMOSともに埋込みチャネルとなる。

【 0 0 9 6 】

このようにすると従来法のN型をゲート電極とした場合の構成であったD型NMOSが埋込みチャネルでE型NMOSが表面チャネルの場合に比べ、E型NMOS、D型NMOSともに埋込みチャネルであるため、各々のMOSのしきい値電圧や相互コンダクタンスの温度に対する変化の程度を揃えることができ、結果として基準電圧回路の温度特性をフラットにすることが可能となるのである。

【 0 0 9 7 】

図5は本発明の半導体装置による基準電圧回路の第二の実施例を示す模式的断面図である。

【0098】

ゲート電極の低抵抗化のために、タングステンシリサイドやモリブデンシリサイドなどの高融点金属シリサイドと多結晶シリコンの積層構造である所謂ポリサイド構造をゲートをしている。

【0099】

ゲート電極下層の多結晶シリコンをP+とすることで、図4で説明した内容と同様に温度特性のフラットな基準電圧回路となる。さらにゲート電極が低抵抗となる分、図5に示す実施例の方が高速性の点で高いパフォーマンスの集積回路を実現できる。

【0100】

本発明は図6に示した基準電圧回路の例のほか、図7示す高電圧供給端子の電位に対し定電圧を出力する基準電圧回路や図8に示す低電圧出力に適した基準電圧回路、さらに図9に示すP型半導体基板を用いる場合にバックバイアス効果を避ける目的のため使われる基準電圧回路に用いても同様な効果が得られる。

【0101】

図9に示す回路例においては負荷素子としてE型PMOSが用いられるが、このPMOSのゲート電極をNMOSのゲート電極と同じくP+型とすることでPMOSは表面チャネルとなり、埋込みチャネル型に比べしきい値を低く設定してもPMOSのリーク電流を抑えることが可能であり、低電圧動作低消費電力である基準電圧回路を提供することが可能となる。付け加えてNMOS、PMOSともにゲートをP+型とすることで製造が簡便となり、コストを下げられるというメリットもある。

【0102】

さらに本発明は図10および図11に示すような高電圧供給端子に重畳するノイズの影響を受けず、安定して基準電圧を出力する回路において、E型NMOSおよび2つのD型NMOSのゲート電極をP型とすることによっても同様な効果が得られる。

【0103】

以上本発明のP型単極ゲートによる効果をE型NMOS、D型NMOSを用いて説明したが、こと本基準電圧回路に関しては極性を逆にしてN+型のゲートからなるE型PM

OS、D型PMOSを用いて基準電圧回路を構成してもNMOSと同様に温度特性が良好な基準電圧回路が得られる。

【 0 1 0 4 】

また図4から図11にはバックバイアス効果を避ける構造や回路を用いて説明を行ったが、E型MOSトランジスター、D型MOSトランジスター両方のバックバイアスを共通としてバックバイアスが印加される構成の基準電圧回路に本発明のP型単極ゲートCMOSを用いても温度特性のフラットである基準電圧回路が実現可能であることは言うまでもない。

【 0 1 0 5 】

さらに本発明のP+単極ゲートCMOS構造により、従来のN+多結晶シリコンゲート構造では、特にそのD型のしきい値電圧のばらつきが大きいため実使用に耐えなかったPMOSのE/D型基準電圧回路も実用可能となる。従ってE/D型による基準電圧回路においてNMOSもしくはPMOSのどちらもが選択が可能であり、回路設計における自由度が増えるという利点も本発明は有している。

【 0 1 0 6 】

以上VRおよびその要素回路である基準電圧回路における本発明の効果を説明したが、やはり高出力素子を搭載するSWRや低電圧動作、低消費電力、低コスト、小型化などの要求が強いVDにおいても、本発明の適用によりVRと同様に多大な効果が得られることも言及しておく。

【 0 1 0 7 】

次に本発明による第一の実施例のCMOS半導体装置の製造方法を図面を用いて説明する。

【 0 1 0 8 】

図12はP型半導体基板101にNウェル102を形成した後、いわゆるLOCOS法により素子分離領域であるフィールド絶縁膜106を形成し、しきい値制御のためのチャンネル領域への不純物ドーピングをイオン注入法によりNMOS、PMOS各々に選択的に行い、その後ゲート絶縁膜105を例えば電気炉中での熱酸化により形成した後、多結晶シリコン131を被着した様子を示している。

【 0 1 0 9 】

本例においてはP型半導体基板を用いたシングルNウェル構造を示しているが、例えばノイズ対策やユーザの要求によりVdd端子を実装のタブと同電位としたい場合など、N型半導体基板を用いPウェルを形成するが、その場合においても本発明による低電圧、低消費電力、低コストであるCMOSの効果は図12に示すP型半導体基板Nウェル方式と同様に得られる。

【0110】

またNMOSとPMOSの寄生容量や最小L長のバランスを考慮し、両MOSとも同程度の濃度の半導体中に形成したい場合、すなわちツインウェル方式を用いる場合があるが、この場合においてもスターティングマテリアルである半導体基板の導電型、つまりP型半導体基板、N型半導体基板を問わず本発明による低電圧動作、低消費電力、低コストであるCMOSの効果はやはり同様に得られる。

【0111】

また図12において素子分離はLOCOS法を示しているが、分離領域の縮小の目的で図示はしていないがShallow Trench Isolation(STI)を用いても本発明による低電圧、低消費電力、低コストであるCMOSの効果はやはり同様に得られる。LOCOS法とSTIの使い分けは一般的には最大動作電圧に依存する。最大動作電圧が数Vの場合にはSTIが面積的に有利であるが、それ以上の動作電圧の場合LOCOS法が工程の簡便さの観点から有利である。

【0112】

しきい値制御のためのチャネル領域への不純物ドーピングは前述したようにイオン注入法により行うが、ゲート電極の導電型がP+多結晶シリコンであるため、E型NMOS、D型NMOSの両NMOSタイプに対してドーパントとしてドナーであるリンないし砒素を用いる。前述したように低しきい値化にはできるだけ表面チャネル型に近づけておきたいため、拡散係数の大きい砒素が有利である。E型PMOSの場合も同様にドナーを用いるが、D型PMOSにはアクセプターであるボロンないし BF_2 を用いる。D型PMOSにおいてもしきい値制御性の観点からチャネルはできるだけ表面に近づけておきたいため、イオン注入後の不純物プロファイルを浅く保てる BF_2 を通常は用いる。ドーピング量は所望とするしきい値の値によるが通常は $10^{11}\text{atom/s/cm}^2$ から 10^{12}atoms/cm^2 の範囲である。

【0 1 1 3】

多結晶シリコンは通常減圧での化学気相成長法(Chemical Vapor Deposition、以後CVDと表記)によりシランガスを分解することで酸化膜上に成膜される。膜厚はゲート電極や配線の低抵抗化の点で厚い方が有利であるが、前述したように同一層で抵抗体も形成するため薄い方が高抵抗化の点において有利ではある。多結晶シリコンのパターニングにおけるスループットおよび下地ゲート酸化膜とのエッチング選択比なども考慮して通常は2000 Åから6000 Åの間の膜厚とする。

【0 1 1 4】

次に図13に示すようにフォトリソグラフィ法により後にN型抵抗体となる部分を開口するようにフォトレジスト132をパターニングし、ドナー不純物であるリンないし砒素をイオン注入法により多結晶シリコン中に選択的に導入する。

【0 1 1 5】

後述するように後の工程において多結晶シリコン全面に低濃度のアクセプタードーパントのイオン注入を行う場合があるが、本工程では後にそれを行っても導電型がN型であるようにドーズ量を設定しておく。通常は $10^{14}\text{atoms}/\text{cm}^2$ から $10^{15}\text{atoms}/\text{cm}^2$ の範囲であり正味の濃度は $1 \times 10^{14}\text{atoms}/\text{cm}^3$ から $9 \times 10^{18}\text{atoms}/\text{cm}^3$ 程度であり、シート抵抗値としては数 $\text{k}\Omega/\square$ から数十 $\text{k}\Omega/\square$ である。抵抗による分圧回路における消費電流を少なくとも μA 以下にするためにはこの程度のシート抵抗値に設定しておく必要がある。

【0 1 1 6】

また回路や製品によってはN型の多結晶シリコンによる高抵抗が不要な場合があり、その場合には図13に示した工程は省略される。

【0 1 1 7】

次にフォトレジストを剥離した後、図14に示すようにフォトリソグラフィ法により後にP+型ゲート電極および配線となる部分を開口するようにフォトレジスト132をパターニングし、アクセプター不純物である BF_2 をイオン注入法により多結晶シリコン中に選択的に導入する。

【 0 1 1 8 】

ゲート電極および配線はできるだけ低抵抗化しておきたいため、濃度としては $1 \times 10^{19} \text{atoms/cm}^3$ 以上、ドーズ量としては $1 \times 10^{15} \text{atoms/cm}^2$ 以上の条件でイオン注入する。

【 0 1 1 9 】

また図示はしないが図 1 4 に示す P+ 多結晶シリコン領域を形成する工程は、図 1 3 の工程後にフォトレジストを剥離して CVD 法により酸化膜を多結晶シリコン上に形成し、熱処理後フォトリソグラフィ法と HF 溶液によるウェットエッチングにより P+ 型ゲート電極および配線となる部分を開口するように酸化膜をパターニングし、フォトレジストを剥離したのち電気炉中においてブリデポとドライブインを行う、もしくは分子層ドーピング後に熱処理を行い酸化膜を除去することによっても形成できる。この場合は図 1 4 に示したフォトレジストをマスクとしたイオン注入による P+ 多結晶シリコン領域の形成に比べ、酸化膜の形成とエッチング処理が必要であるため工程数の点において不利であるが、イオン注入法に比べアクセプター濃度を格段に大きくすることが可能であるため低抵抗化の点において有利である。通常は濃度の制御性と簡便さからフォトリソグラフィ法とイオン注入による形成を採用する。

【 0 1 2 0 】

次にフォトレジスト 1 3 2 を剥離した後、図 1 5 に示すように P 型抵抗体領域を形成すべくアクセプター不純物であるボロンないし BF_2 をイオン注入法により多結晶シリコン中に導入する。

【 0 1 2 1 】

ドーズ量は通常は $10^{14} \text{atoms/cm}^2$ から $10^{15} \text{atoms/cm}^2$ の範囲であり正味の濃度は $1 \times 10^{14} \text{atoms/cm}^3$ から $9 \times 10^{18} \text{atoms/cm}^3$ 程度であり、シート抵抗値としては数 $\text{k}\Omega/\square$ から数十 $\text{k}\Omega/\square$ である。N 型抵抗と同様に、抵抗による分圧回路における消費電流を少なくとも μA 以下にするためにこの程度のシート抵抗値に設定しておく。

【 0 1 2 2 】

またやはり N 型抵抗体同様、回路や製品によっては P 型の多結晶シリコンによる

高抵抗が不要な場合があり、その場合には図 1 5 に示した工程は省略される。

図 1 3 から図 1 5 に示す工程により多結晶シリコン中にN型抵抗体領域、P型抵抗体領域、P+領域を形成したがこれらの工程順は必ずしもこの順番どおりでなくてもかまわない。図 1 3 から図 1 5 に示す工程を任意の順に行うことで上記に示す3つの領域は同じように形成される。

【0 1 2 3】

次に図 1 6 に示すように多結晶シリコン上に第一の絶縁膜 1 3 4 をCVD法により形成し、場合によっては雰囲気を窒素やアルゴンなどの不活性ガスとした電気炉中で熱処理を行う。

【0 1 2 4】

第一の絶縁膜は後にセルフアラインによりNMOSのソース、ドレインを形成する際にP+ゲート電極中にドナードーパントが入るのを防ぐマスクとするため設ける。マスクとして機能するためにはNMOSのソース、ドレインを形成する際のイオン注入の加速エネルギーは100 Kev未満であるためイオンの最大飛程を考慮しても膜厚として1000 Åから2000 Åであれば十分阻止することができる。材質は酸化膜もしくは窒化膜が用いられる。後述するが後の工程において抵抗体上の第一の絶縁膜を剥離する必要があるが、工程の簡便性や抵抗体に与える損傷の点において、HF溶液によるウェットエッチングが可能な酸化膜が用いられる場合が多い。

【0 1 2 5】

次に図 1 7 に示すようにフォトリソグラフィ法とエッチングにより第一の絶縁膜と多結晶シリコンをパターニングしてゲート電極、配線、抵抗体を形成する。

【0 1 2 6】

この形成は、フォトリソグラフィ法によりフォトレジストをパターニングした後フォトレジストをマスクとして第一の絶縁膜をエッチングし次にフォトレジストを残したまま多結晶シリコンをエッチングしその後フォトレジストを除去する方法と、やはりフォトリソグラフィ法によりフォトレジストをパターニングした後フォトレジストをマスクとして第一の絶縁膜をエッチングし次にフォトレ

ジストを剥離した後第一の絶縁膜をマスクとして多結晶シリコンをエッチングする2種類の方法によって行われる。

【0127】

ゲート電極や抵抗体の加工は精度が求められるため異方性ドライエッチを採用するが、異方性エッチはエッチング中のフォトレジストとの生成物による側壁防御膜効果により達成されるため、通常はフォトレジストを残したまま多結晶シリコンをドライエッチングする。

【0128】

第一の絶縁膜が酸化膜の場合、ウェット、ドライどちらのエッチングによっても加工は可能であるが精度の点においてドライエッチングの方が有利である。また第一の絶縁膜が窒化膜の場合、フォトレジストをマスクとするパターニングは適当なウェットエッチャントがないためドライエッチに限定される。ただし窒化膜の場合、ドライエッチングによるエッチレートが多結晶シリコンのエッチレートと同程度であるため同一エッチャーにて連続してエッチングができるという利点をもつ。

【0129】

次に図18に示すようにフォトリソグラフィー法によりフォトレジスト132を抵抗体以外のゲート電極や配線領域をカバーするようにパターニングし、エッチングにより抵抗体上の第一の絶縁膜を除去する。

【0130】

この場合抵抗体にエッチングによる損傷を与えたくないため、純粋に化学反応によりエッチングが進行するウェットエッチングが望ましい。従って第一の絶縁膜134の材質としては前述したが、HF溶液によりウェットエッチングが可能な酸化膜が適当である。レジストをマスク材として採用できる適当なウェットエッチャントがない窒化膜はこの点において不利である。ただし第一の絶縁膜が酸化膜の場合フィールド絶縁膜は酸化膜である場合が多いため、本工程におけるフィールド絶縁膜の膜減りに注意する必要がある。

【0131】

次にフォトレジスト132を剥離した後、図19に示すようにフォトリソグラ

フィー法によりNMOSとN型抵抗体の後に配線金属とのコンタクトとなる部分を開口するようにフォトレジスト132をパターニングした後、リンもしくは砒素などのドナーを高濃度にイオン注入法によりP型基板およびN型抵抗体中に導入しNMOSのソース、ドレインであるN+領域103とN+多結晶シリコン領域109を形成する。

【0132】

不純物としては通常は浅いソース、ドレインが得られる拡散係数の小さい砒素を用い、できるだけ低抵抗とするためドーズ量は $1 \times 10^{15} \text{ atoms/cm}^2$ 以上でありこの場合の濃度は $1 \times 10^{19} \text{ atoms/cm}^3$ 以上である。

【0133】

またこの場合NMOSのゲート電極上には第一の絶縁膜が置かれているため、NMOSのP+ゲート電極にドナーが入ることはなく、仕事関数や抵抗値の変化には至らない。

【0134】

次にフォトレジストを剥離した後、必要に応じて不純物活性化の熱処理を施した後、図20に示すようにフォトリソグラフィ法によりPMOSとP型抵抗体の後に配線金属とのコンタクトとなる部分を開口するようにフォトレジスト132をパターニングした後、例えば BF_2 もしくはボロンなどのアクセプターを高濃度にイオン注入法によりNウェルおよびP型抵抗体中に導入しPMOSのソース、ドレインであるP+領域104とP+多結晶シリコン領域108を形成する。

【0135】

NMOS同様できるだけ低抵抗とするためドーズ量は $1 \times 10^{15} \text{ atoms/cm}^2$ 以上でありこの場合の濃度は $1 \times 10^{19} \text{ atoms/cm}^3$ 以上である。

【0136】

次にフォトレジストを剥離した後、図21に示すようにCVD法により中間絶縁膜135を被着した後、熱処理を行い中間絶縁膜を平坦化する。

【0137】

中間絶縁膜は下層がNSG(Nondoped Silicate Glass)膜もしくは窒化膜であり、上層がPSG(Phosphorus Silicate Glass)膜もしくはBPSG(Boron Phosphorus

Silicate Glass)膜である2層構造となっている。PSGないしBPSGは熱処理によるガラスフロー平坦化を効果的とするために用いられる。また下層のNSGもしくは窒化膜はPSGないしBPSGから多結晶シリコン抵抗体に不純物が熱処理中に拡散して抵抗値に影響を及ぼすことを防ぐために設けられる。下層膜の膜厚は1000 Å以上あれば十分な拡散阻止能力を有する。

【0138】

多結晶シリコン中に高濃度のアクセプター不純物を導入した後から図21に示す平坦化の熱処理までのサーマルバジットは、P+ゲート電極からチャネル領域にアクセプター不純物であるボロンが拡散しないよう制限される。ゲート絶縁膜の膜厚にもよるが目安としては電気炉においては800℃から900℃の範囲で数十分程度であり、RTA(Rapid Thermal Annealing)では1000℃から1100℃の範囲で数十秒程度である。

【0139】

以降は通常のCMOS工程に同じくコンタクト孔を形成し、配線金属を形成する。

【0140】

以上説明してきたように図12から図21の工程を経ることにより、図1に示す本発明の第一の実施例のCMOS半導体装置の構造が得られる。

【0141】

また図2に示す本発明の第二の実施例のCMOS半導体装置は、図12から図21の工程において図19および図20に示したソースとドレインへの不純物導入工程の際にN+抵抗体であれば抵抗体領域全域にNMOSのソース、ドレインと同濃度の不純物を、P+抵抗体はやはり抵抗体領域全域にPMOSのソース、ドレインと同濃度の不純物を同時に導入することによって得られ、何らかの工程の追加は必要としない。

【0142】

図22は本発明のCMOS半導体装置の第三の実施例を示す模式的断面図である。図1および図2に示す本発明によるCMOS半導体装置との違いは、ゲート電極が高融点金属シリサイド127とP+型の多結晶シリコン107の積層である所謂バリサイド構造である点と、フィールド絶縁膜106上に形成されている抵抗体が

ゲート電極下層に用いられている多結晶シリコンよりさらに薄膜である多結晶シリコンによる薄膜P-抵抗体138と薄膜N-抵抗体139である点である。

【0143】

ゲート電極および配線は高速化の観点から可能な限り低抵抗としたいため濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上のボロンまたは BF_2 などのアクセプター不純物を含むP+型多結晶シリコン107上に高融点金属シリサイド127を配したポリサイド構造としてある。シート抵抗値は多結晶シリコン単層の場合の数十 Ω/\square に比べ、数 Ω/\square から十 Ω/\square 程度と低抵抗化できる。

【0144】

抵抗体138、139は、シート抵抗値を高く設定してもその絶対値および抵抗比精度を十分確保できるよう薄膜化した多結晶シリコンにより形成されている。

【0145】

以上説明したゲート電極構造と抵抗体の薄膜化以外は図1および図2に示す本発明の根幹であるP+ゲート電極CMOS半導体装置と同じ構造であり、低電圧動作および低消費電力に対する効果は同じである。

【0146】

次に本発明による第三の実施例のCMOS半導体装置の製造方法を図面を用いて説明する。

【0147】

図23は図12で示した工程と同様にP型半導体基板101にNウェル102を形成した後、素子分離領域であるフィールド絶縁膜106を形成し、しきい値制御のためのチャネル領域への不純物ドーピングをイオン注入法によりNMOS、PMOS各々に選択的に行い、その後ゲート絶縁膜を形成した後、第一の多結晶シリコン131を被着した様子を示している。

【0148】

多結晶シリコン131はポリサイドゲート電極の下層であるため、ゲート電極を多結晶シリコン単層から形成する場合に比べ薄膜化しておく必要がある。

【0149】

多結晶シリコン131の膜厚は、薄い場合後述するように多結晶シリコン上に形成する高融点金属シリサイド被着時に半導体基板やゲート絶縁膜に損傷を与える場合があるためある程度の厚さが必要である。ポリサイドのパターニングにおけるスループットおよび下地ゲート酸化膜とのエッチング選択比なども考慮して通常は1000 Åから4000 Åの間の膜厚とする。

【0150】

次に図24に示すようにアクセプター不純物である BF_2 をイオン注入法により第一の多結晶シリコン131中に導入しP+多結晶シリコン131とする。

【0151】

ゲート電極はゲート電極側への空乏化を防ぐため、濃度としては $1 \times 10^{19} \text{atoms/cm}^3$ 以上、ドーズ量としては $1 \times 10^{15} \text{atoms/cm}^2$ 以上の条件でイオン注入する。

【0152】

また第一の多結晶シリコン131中へのアクセプター不純物の導入は、電気炉中においてプリデポとドライブインを行う方法もしくは分子層ドーピング後に熱処理を行う工程によっても形成できる。

【0153】

これらの方法はイオン注入法に比べアクセプター濃度を格段に大きくすることが可能であるため空乏化の点において有利であるが、濃度の制御性が悪く、高濃度に不純物が導入された場合これ以降の工程での熱処理によりアクセプター不純物であるボロンがゲート電極からゲート絶縁膜を通りチャネル中に拡散してしきい値電圧の変動をもたらす場合があるので、イオン注入による形成の方が無難である。

【0154】

またさらに工程を簡便とするために図23で説明した第一の多結晶シリコン131形成と同時にアクセプター不純物導入を行うDoped-CVD法によっても図24までに説明した構造と同様な構造が得られる。この場合にも低抵抗化しておきたいため不純物濃度としては $1 \times 10^{19} \text{atoms/cm}^3$ 以上とする。

【0155】

次に図 2 5 に示すように P+ 多結晶シリコン 1 3 3 上にスパッタ法ないしは CVD 法により高融点金属シリサイド 1 2 7 を被着し、さらに CVD 法により絶縁膜 1 3 4 を高融点金属シリサイド上に被着する。

高融点金属シリサイドとしてはモリブデンシリサイドもしくはタングステンシリサイドもしくはチタンシリサイドもしくはプラチナシリサイドが用いられ膜厚は 5 0 0 Å から 2 5 0 0 Å の範囲である。形成法としてはダメージの心配はあるが高融点金属シリサイドと多結晶シリコンの密着性の観点から通常はスパッタ法を用いる。高融点金属シリサイドによりゲート電極および配線のシート抵抗は数 Ω / □ から 1 0 Ω / □ 程度と、多結晶シリコン単層からなるゲート電極や配線のシート抵抗値の数十 Ω / □ 程度に比べ各段にシート抵抗値を下げる事が可能となり半導体製品の機能が向上する。

【 0 1 5 6 】

絶縁膜 1 3 4 は図 1 6 において説明した理由に同じく、ゲート電極中にドナードーパントが入るのを防ぐマスクとするため設ける。材質としては酸化膜ないしは窒化膜であり膜厚は 1 0 0 0 Å から 2 0 0 0 Å である。必要に応じ絶縁膜 1 3 4 被着後 9 0 0 °C 程度で 3 0 分前後の熱処理を行う。

【 0 1 5 7 】

次に図 2 6 に示すようにフォトリソグラフィ法とエッチングにより絶縁膜 1 3 4 と高融点金属シリサイド 1 2 7 と P+ 多結晶シリコン 1 3 3 をパターンニングしてゲート電極と配線を形成する。

【 0 1 5 8 】

この形成は、フォトリソグラフィ法によりフォトレジストをパターンニングした後フォトレジストをマスクとして絶縁膜 1 3 4 をエッチングし次にフォトレジストを残したまま高融点金属シリサイド 1 2 7 と P+ 多結晶シリコン 1 3 3 をエッチングしその後フォトレジストを除去する方法と、やはりフォトリソグラフィ法によりフォトレジストをパターンニングした後フォトレジストをマスクとして絶縁膜 1 3 4 をエッチングし次にフォトレジストを剥離した後絶縁膜 1 3 4 をマスクとして高融点金属シリサイド 1 2 7 と P+ 多結晶シリコン 1 3 3 をエッチングする 2 種類の方法によって行われる。

【 0 1 5 9 】

ゲート電極や抵抗体の加工は精度が求められるため異方性ドライエッチを採用するが、異方性エッチはエッチング中のフォトレジストとの生成物による側壁防御膜効果により達成されるため、通常はフォトレジストを残したまま絶縁膜と高融点金属シリサイドと多結晶シリコンをドライエッチングする。

【 0 1 6 0 】

複数種の材質からなる多層膜のエッチングは上層のエッチング終了を終点検出機構により検出し、材質に応じたガスや必要に応じエッチャーそのものを変更することにより遂行される。

【 0 1 6 1 】

次に図 2 7 に示すように絶縁膜 1 3 7 を形成した後、薄膜多結晶シリコン 1 3 6 を被着する。

【 0 1 6 2 】

絶縁膜は例えば熱酸化法による膜厚が数百 Å 程度の酸化膜もしくは CVD 法によるやはり膜厚が数百 Å 程度の酸化膜である。

【 0 1 6 3 】

薄膜多結晶シリコン 1 3 6 はゲート電極や配線に用いられる多結晶シリコン膜同様 CVD 法により成膜されるが、膜厚が 5 0 0 Å から 2 0 0 0 Å とゲート電極や配線に用いられる多結晶シリコンに比べ薄いため成膜温度を低温化して行う場合がある。また本工程での成膜をスパッタ法により行う場合もある。

【 0 1 6 4 】

ゲート電極や配線に用いられる多結晶シリコンに比べ、より薄膜である多結晶シリコンを用いて抵抗体を形成することで、抵抗体のシート抵抗値を数 $k \Omega / \square$ から数十 $k \Omega / \square$ 程度に高く設定してもその抵抗値精度を十分確保することが可能となる。

【 0 1 6 5 】

次に図 2 8 に示すようにフォトリソグラフィー法により後に N 型抵抗体となる部分を開口するようにフォトレジスト 1 3 2 をパターニングし、ドナー不純物であるリンないし砒素をイオン注入法により薄膜多結晶シリコン 1 3 6 中に選択的

に導入する。

【0166】

後述するように後の工程において薄膜多結晶シリコン全面に低濃度のアクセプタードーパントのイオン注入を行う場合があるが、ここでは後にそれを行っても導電型がN型でかつ一定範囲内の濃度であるようにドーズ量を設定しておく。通常は $10^{14} \text{atoms/cm}^2$ から $10^{15} \text{atoms/cm}^2$ の範囲であり正味の濃度は $1 \times 10^{14} \text{atoms/cm}^3$ から $9 \times 10^{18} \text{atoms/cm}^3$ 程度であり、シート抵抗値としては数 $k\Omega/\square$ から数十 $k\Omega/\square$ である。抵抗による分圧回路における消費電流を少なくとも μA 以下にするためにはこの程度のシート抵抗値に設定しておく必要がある。

【0167】

また回路や製品によってはN型の多結晶シリコンによる高抵抗が不要な場合があり、その場合には図28に示した工程は省略される。

【0168】

次にフォトレジスト132を剥離した後、図29に示すようにP型抵抗体領域を形成すべくアクセプター不純物であるボロンないし BF_2 をイオン注入法により薄膜多結晶シリコン136中全域に導入する。

【0169】

ドーズ量は通常は $10^{14} \text{atoms/cm}^2$ から $10^{15} \text{atoms/cm}^2$ の範囲であり正味の濃度は $1 \times 10^{14} \text{atoms/cm}^3$ から $9 \times 10^{18} \text{atoms/cm}^3$ 程度であり、シート抵抗値としては数 $k\Omega/\square$ から数十 $k\Omega/\square$ である。N型抵抗と同様に、抵抗による分圧回路における消費電流を少なくとも μA 以下にするためにこの程度のシート抵抗値に設定しておく。

【0170】

またやはりN型抵抗体同様、回路や製品によってはP型の多結晶シリコンによる高抵抗が不要な場合があり、その場合には図29に示した工程は省略される。図28から図29に示す工程により薄膜多結晶シリコン中にN型抵抗体領域、P型抵抗体領域を形成したがこれらの工程順は必ずしもこの順番どおりでなくてもかまわない。図28と図29に示す工程を入れ替えてもN型抵抗体領域とP型抵抗体

領域は同じように形成される。

【0171】

次に図30に示すようにフォトリソグラフィ法とエッチングにより第二の多結晶シリコンをパターニングして抵抗体を形成する。

抵抗体の加工は精度が求められるため異方性ドライエッチング法により行われる。

【0172】

次にフォトレジスト132を剥離した後、図31に示すようにフォトリソグラフィ法によりNMOSとN型抵抗体の後に配線金属とのコンタクトとなる部分を開口するようにフォトレジスト132をパターニングした後、リンもしくは砒素などのドナーを高濃度にイオン注入法によりP型基板およびN型抵抗体中に導入しNMOSのソース、ドレインであるN+領域103とN+多結晶シリコン領域109を形成する。

【0173】

不純物としては通常は浅いソース、ドレインが得られる拡散係数の小さい砒素を用い、できるだけ低抵抗とするためドーズ量は $1 \times 10^{15} \text{ atoms/cm}^2$ 以上でありこの場合の濃度は $1 \times 10^{19} \text{ atoms/cm}^3$ 以上である。

またこの場合NMOSのゲート電極上には絶縁膜134と絶縁膜137が設けられているため、NMOSのゲート電極にドナーが入ることはなく、仕事関数や抵抗値の変化には至らない。

【0174】

さらに図示はしていないが温度係数の改善などの目的で本工程により薄膜多結晶シリコンによるN型の抵抗体領域の全域が高濃度であるN+抵抗体を形成することも可能である。

【0175】

次にフォトレジストを剥離した後、必要に応じて不純物活性化の熱処理を施した後、図32に示すようにフォトリソグラフィ法によりPMOSとP型抵抗体の後に配線金属とのコンタクトとなる部分を開口するようにフォトレジスト132をパターニングした後、例えば BF_2 もしくはボロンなどのアクセプターを高濃度に

イオン注入法によりNウェルおよびP型抵抗体中に導入しPMOSのソース、ドレインであるP+領域 1 0 4 とP+多結晶シリコン領域 1 0 8 を形成する。

【0 1 7 6】

NMOS同様できるだけ低抵抗とするためドーズ量は $1 \times 10^{15} \text{atoms/cm}^2$ 以上でありこの場合の濃度は $1 \times 10^{19} \text{atoms/cm}^3$ 以上である。

【0 1 7 7】

また本工程においても図 3 1 において説明したようにP型抵抗体領域の全域が高濃度であるP+抵抗体を形成することも可能である。

【0 1 7 8】

以上の工程の後図 2 1 に示した工程と同様に中間絶縁膜 1 3 5 を形成し図 2 2 に示す本発明の第三の実施例のCMOS半導体装置の構造が得られる。

【0 1 7 9】

次に本発明の第三の実施例のCMOS半導体装置の第二の製造方法の実施例を説明する。

【0 1 8 0】

図 3 3 は前述した図 2 3 から図 2 4 までの工程を行った後、コバルトもしくはチタンなどの高融点金属 1 4 0 をP+多結晶シリコン 1 3 3 上にスパッタ法により被着する。

【0 1 8 1】

コバルト、チタンともに膜厚は100 Åから500 Åの範囲であり、コバルトの場合にはチタンもしくはチタンナイトライドを数十Åから数百Å積層する場合もある。

【0 1 8 2】

次に例えばRTP (Rapid Thermal Process) により600℃から750℃程度の温度で数十秒から1分間程度の熱処理を行い、多結晶シリコン 1 3 1 と接している部分の高融点金属をシリサイド化し、その後700℃から900℃程度の温度で数十秒RTP処理を行う。その様子を図 3 4 に示す。

【0 1 8 3】

以降は図 2 5 から図 3 2 まで説明した製造方法と同様な工程を経ることにより

、図 2 2 に示す第三の実施例の CMOS 半導体装置の構造が得られる。

【 0 1 8 4 】

図 3 5 は本発明の CMOS 半導体装置の第四の実施例を示す模式的断面図である。

【 0 1 8 5 】

P 型半導体基板 1 0 1 に形成されたゲート電極が P + 型の多結晶シリコン 1 0 7 でありソースとドレインが電界緩和を目的とした N - 拡散層 1 4 2 を有する LDD (Lightly Doped Drain) 構造である NMOS 1 1 3 と、N ウェル領域 1 0 2 に形成されたゲート電極がやはり P + 型の多結晶シリコン 1 0 7 である LDD 構造の PMOS 1 1 2 とからなる CMOS と、フィールド絶縁膜 1 0 6 上に形成されているゲート電極と同一層の多結晶シリコンからなる P - 抵抗体 1 1 4 および N - 抵抗体 1 1 5 とから構成されている。

【 0 1 8 6 】

図 3 5 に示す構造は MOS の構造が LDD であるためゲート長の微細化や信頼性の向上において有利な構造となっているが、それ以外は図 1、図 2、図 2 2 に示した本発明の根幹である P + ゲート電極 CMOS 半導体装置と同じ構成であり、低電圧動作および低消費電力に対する効果は同じである。

【 0 1 8 7 】

次に本発明による CMOS 半導体装置の第四の実施例の構造の製造方法を図面を用いて説明する。

【 0 1 8 8 】

図 1 2 から図 1 7 に示した工程と同様な工程を行いゲート電極、配線、抵抗体領域形成を行うが、本実施例においては多結晶シリコン上の絶縁膜 1 3 4 として下層がシリコン酸化膜、上層がシリコン窒化膜の積層構造とする。

【 0 1 8 9 】

シリコン酸化膜は多結晶シリコンの熱酸化ないしは CVD 法により形成し、シリコン窒化膜は CVD 法により形成する。絶縁膜 1 3 4 の総膜厚は 1 0 0 0 Å から 3 0 0 0 Å であるが、この総膜厚および酸化膜と窒化膜各々の膜厚は後述する NMOS のソースとドレイン形成の際に P + ゲート電極中にドナードーパントが入るのを防ぐマスクとして働き、かつサイドスペーサー形成の際に絶縁膜 1 3 4 下層の酸

化膜が露出しないような膜厚に設定する。例えばシリコン窒化膜が2000Åでシリコン酸化膜を1000Åとする。

【0190】

絶縁膜134の下層がCVD法による酸化膜場合、緻密化のため絶縁膜134を形成した後に熱処理を行う場合もある。

【0191】

ゲート電極や抵抗体パターン形成の際、酸化膜と窒化膜の積層である絶縁膜134のエッチングはエッチング時に終点検出を行ない窒化膜と酸化膜でガスを変えることにより遂行される。また必要に応じてガスを変更するだけではなくエッチャーそのものを変更することによりさらに確実に遂行される。続く多結晶シリコンのエッチングも同様に適切なガス、エッチャーを選択することによりエッチングを遂行する。

【0192】

以上の工程の後、図36に示すようにフォトリソグラフィー法によりNMOSを開口するようにフォトレジスト132をパターニングした後、リンもしくは砒素などのドナーを低濃度にイオン注入法によりP型基板中に導入しNMOSの低濃度のソース、ドレインであるN-領域142を形成する。

【0193】

不純物濃度は半導体製品の動作電圧にもよるが、通常はドーズ量が 10^{12} atoms/cm²から 10^{14} atoms/cm²のオーダーであり、この場合の濃度は 10^{16} atoms/cm³から 10^{18} atoms/cm³のオーダーである。

【0194】

次にフォトレジストを除去したのち、図37に示すようにフォトリソグラフィー法によりPMOSを開口するようにフォトレジスト132をパターニングした後、ボロンないしBF₂などのアクセプターを低濃度にイオン注入法によりNウェル中に導入しPMOSの低濃度のソース、ドレインであるP-領域143を形成する。

【0195】

不純物濃度はNMOS同様、通常はドーズ量が 10^{12} atoms/cm²から 10^{14} atoms/cm²のオーダーであり、この場合の濃度は 10^{16} atoms/cm³から 10^{18} atoms/cm³のオーダーである。

/cm³のオーダーである。

【0196】

次にフォトレジストを除去したのち、図38に示すように後にサイドスペーサーとなる絶縁膜144をCVD法により半導体基板上に形成する。この場合の絶縁膜としては多結晶シリコン上の絶縁膜134を残すようにサイドスペーサーを形成する必要があるため、絶縁膜134の上層であるシリコン窒化膜に対しエッチング選択比が取れるシリコン酸化膜を用いる。絶縁膜144の膜厚は必要とする電界緩和の程度にもよるが通常2000Åから6000Å程度である。絶縁膜144被着後に酸化膜の緻密化などの理由により熱処理を行う場合もある。

【0197】

次に図39に示すように異方性ドライエッチングにより絶縁膜144をエッチングすることにより、ゲート電極である多結晶シリコンの側壁および図示はしていないが配線や抵抗体の側壁にサイドスペーサー141を形成する。サイドスペーサー141の幅は絶縁膜144の膜厚はエッチングの条件にもよるが一般的には0.2μmから0.5μmである。

【0198】

サイドスペーサー141形成の際、絶縁膜144はシリコン酸化膜であり、多結晶シリコン上の絶縁膜134の上層はシリコン窒化膜であるため異方性ドライエッチングの際に選択比を十分大きく取ることができ、多結晶シリコンはエッチング中に露出せずに済む。

【0199】

本実施例においては多結晶シリコン上の絶縁膜134の上層をシリコン窒化膜とし、スペーサー用の絶縁膜144をシリコン酸化膜とした場合を示したが、絶縁膜134をシリコン酸化膜としスペーサー用の絶縁膜144をシリコン窒化膜としても同じ構造とすることが可能である。

【0200】

次に図40に示すようにフォトリソグラフィ法によりフォトレジスト132を抵抗体以外のゲート電極や配線領域をカバーするようにパターニングし、エッチングにより抵抗体上の絶縁膜134を除去する。

【 0 2 0 1 】

この場合抵抗体にエッチングによる損傷を与えたくないため、本実施例においては絶縁膜 1 3 4 上層のシリコン窒化膜はドライエッチングにより除去し、直接抵抗体に接触している下層のシリコン酸化膜は純粹に化学反応によりエッチングが進行するウェットエッチングにより除去する。

【 0 2 0 2 】

次にフォトレジスト 1 3 2 を剥離した後、図 4 1 に示すようにフォトリソグラフィ法により NMOS と N 型抵抗体の後に配線金属とのコンタクトとなる部分を開口するようにフォトレジスト 1 3 2 をパターニングした後、リンもしくは砒素などのドナーを高濃度にイオン注入法により P 型基板および N 型抵抗体中に導入し NMOS のソース、ドレインである N+ 領域 1 0 3 と N+ 多結晶シリコン領域 1 0 9 を形成する。

【 0 2 0 3 】

不純物としては通常は浅いソース、ドレインが得られる拡散係数の小さい砒素を用い、できるだけ低抵抗とするためドーズ量は $1 \times 10^{15} \text{ atoms/cm}^2$ 以上でありこの場合の濃度は $1 \times 10^{19} \text{ atoms/cm}^3$ 以上である。

【 0 2 0 4 】

またこの場合 NMOS のゲート電極上には絶縁膜が置かれているため、NMOS の P+ ゲート電極にドナーが入ることはなく、仕事関数や抵抗値の変化には至らない。さらにサイドスペーサーが設けられている領域の下にもドナーは入らずドレイン端を低電界とすることができる。

【 0 2 0 5 】

さらに図示はしていないが温度係数の改善などの目的で本工程により N 型の抵抗体領域全域が高濃度である多結晶シリコンによる N+ 抵抗体を形成することも可能である。

【 0 2 0 6 】

次にフォトレジストを剥離した後、必要に応じて不純物活性化の熱処理を施した後、図 4 2 に示すようにフォトリソグラフィ法により PMOS と P 型抵抗体の後に配線金属とのコンタクトとなる部分を開口するようにフォトレジスト 1 3 2 を

パターニングした後、例えば BF_2 もしくはボロンなどのアクセプターを高濃度にイオン注入法によりNウェルおよびP型抵抗体中に導入しPMOSのソース、ドレインであるP+領域104とP+多結晶シリコン領域108を形成する。

【0207】

NMOS同様できるだけ低抵抗とするためドーズ量は $1 \times 10^{15} \text{atoms/cm}^2$ 以上でありこの場合の濃度は $1 \times 10^{19} \text{atoms/cm}^3$ 以上である。

【0208】

また本工程によりN+抵抗体と同様にP型抵抗体領域の全域を高濃度としP+抵抗体を形成することも可能である。

【0209】

以降は図21に示す工程と同様に中間絶縁膜を形成する。

【0210】

以上説明してきたように図36から図43の工程を経ることにより、図35に示す本発明による第四の実施例のCMOS半導体構造が得られる。

【0211】

次に本発明の第四の実施例のCMOS半導体装置の製造方法の第二の実施例を説明する。

【0212】

図12から図17に示した工程と同様な工程を行いゲート電極、配線、抵抗体領域形成を行うが、本実施例においては図13と図15に示す多結晶シリコン抵抗体への不純物導入は行わないでおく。

【0213】

以上の工程の後図40に示す工程と同様な工程を行い抵抗体上の絶縁膜134を除去しておく。

【0214】

次に図43に示すようにNMOSとN型抵抗体となる部分を開口するようにフォトリソグラフィ132をパターニングしてリンもしくは砒素などのドナーを低濃度にイオン注入法によりP型半導体基板および多結晶シリコン中に導入し、NMOSの低濃度のソース、ドレインであるN-領域142とN型抵抗体となるN-多結晶シリコ

ン 1 1 1 を同時形成する。

【 0 2 1 5 】

前述した実施例においてはNMOSの低濃度LDDソース、ドレイン領域とN型多結晶シリコン抵抗体は異なる工程により形成していたが、これらの不純物濃度は比較的近いいため製品の仕様によってはこのように同時形成が可能であり、コストおよび工期の削減が可能となる。

【 0 2 1 6 】

フォトリジストを除去した後、図 4 4 に示すようにやはり図 4 3 と同様にPMOSとP型抵抗体となる部分を開口するようにフォトリジスト 1 3 2 をパターニングしてボロンもしくは BF_2 などのアクセプターを低濃度にイオン注入法によりNウェルおよび多結晶シリコン中に導入し、PMOSの低濃度のソース、ドレインであるP-領域 1 4 3 とP型抵抗体となるP-多結晶シリコン 1 1 0 を同時形成する。図 4 3 において説明した理由に同じくコストおよび工期の削減が可能となる。

【 0 2 1 7 】

以降の工程は図 3 8 から図 4 2 に示した製造方法と同じ工程を行い図 3 5 に示す本発明の第四の実施例のCMOS半導体装置構造を得る。以上に示した本発明の別の製造方法によればマスク工程を削減することが可能であり、コストや工期の面で有利である。

【 0 2 1 8 】

ただし留意点としてサイドスペーサー形成の際に抵抗体上に絶縁膜がない状態で異方性ドライエッチングを行うため、抵抗体がドライエッチング中にプラズマに曝されその際の損傷などにより抵抗値が変動する可能性があることが挙げられる。

【 0 2 1 9 】

図 4 5 は本発明のCMOS半導体装置の第五の実施例を示す模式的断面図である。P型半導体基板 1 0 1 に形成されたゲート電極がP+型の第一の多結晶シリコン 1 0 7 でありソースとドレインが電界緩和を目的としたLDD構造であるNMOS 1 1 3 と、Nウェル領域 1 0 2 に形成されたゲート電極がやはりP+型の第一の多結晶シリコン 1 0 7 であるLDD構造のPMOS 1 1 2 とからなるCMOSと、フィールド絶縁膜

1 0 6 上に形成されている薄膜多結晶シリコンからなる薄膜P-抵抗体 1 3 8 および薄膜N-抵抗体 1 3 9 とから構成されている。

【 0 2 2 0 】

MOS構造にLDD構造を採用する理由は図 3 5 に示す第四の実施例のCMOS半導体装置に同じであり、抵抗体として薄膜多結晶シリコンを採用する理由は図 2 2 に示す第三の実施例に同じであるが、本発明の根幹であるCMOS構造はP+ゲート電極であることから、低電圧動作および低消費電力に対する効果は前述までの実施例と同じである。

【 0 2 2 1 】

次に本発明による第五の実施例のCMOS半導体装置の製造方法を図面を用いて説明する。

【 0 2 2 2 】

図 2 3 から図 2 4 に示した工程と同様な工程を行いP+多結晶シリコンゲート 1 3 3 の形成を行う。P+多結晶シリコンの膜厚はゲート電極が多結晶シリコン単層であるため 2 0 0 0 Å から 6 0 0 0 Å である。

【 0 2 2 3 】

次に図 4 6 に示すように多結晶シリコン上に絶縁膜 1 3 4 を設ける。この絶縁膜は第四の実施例のCMOS半導体装置の製造方法の場合と同様に、下層がシリコン酸化膜、上層がシリコン窒化膜の積層構造であり、絶縁膜 1 3 4 の総膜厚は 1 0 0 0 Å から 3 0 0 0 Å である。

【 0 2 2 4 】

次に図 4 7 に示すようにフォトリソグラフィ法と異方性ドライエッチングにより絶縁膜 1 3 4 とP+多結晶シリコンをパターンニングしてゲート電極と配線を形成する。

【 0 2 2 5 】

この形成は、フォトリソグラフィ法によりフォトレジストをパターンニングした後フォトレジストをマスクとして絶縁膜をエッチングし次にフォトレジストを残したまま多結晶シリコンをエッチングしその後フォトレジストを除去する方法と、やはりフォトリソグラフィ法によりフォトレジストをパターンニングした後

フォトレジストをマスクとして絶縁膜をエッチングし次にフォトレジストを剥離した後の絶縁膜をマスクとして多結晶シリコンをエッチングする 2 種類の方法によって行われる。

【 0 2 2 6 】

次に図 4 8 に示すようにフォトリソグラフィ法により NMOS を開口するようにフォトレジスト 1 3 2 をパターニングした後、リンもしくは砒素などのドナーを低濃度にイオン注入法により P 型基板中に導入し NMOS の低濃度のソース、ドレインである N-領域 1 4 2 を形成する。

【 0 2 2 7 】

不純物濃度は半導体製品の動作電圧にもよるが、通常はドーズ量が $10^{12} \text{ atoms/cm}^2$ から $10^{14} \text{ atoms/cm}^2$ のオーダーであり、この場合の濃度は $10^{16} \text{ atoms/cm}^3$ から $10^{18} \text{ atoms/cm}^3$ のオーダーである。

【 0 2 2 8 】

次にフォトレジストを除去したのち、図 4 9 に示すようにフォトリソグラフィ法により PMOS を開口するようにフォトレジスト 1 3 2 をパターニングした後、ボロンないし BF_2 などのアクセプターを低濃度にイオン注入法により N ウェル中に導入し PMOS の低濃度のソース、ドレインである P-領域 1 4 3 を形成する。

【 0 2 2 9 】

不純物濃度は NMOS 同様、通常はドーズ量が $10^{12} \text{ atoms/cm}^2$ から $10^{14} \text{ atoms/cm}^2$ のオーダーであり、この場合の濃度は $10^{16} \text{ atoms/cm}^3$ から $10^{18} \text{ atoms/cm}^3$ のオーダーである。

【 0 2 3 0 】

次にフォトレジストを除去したのち、図 5 0 に示すように後にサイドスペーサーとなる絶縁膜 1 4 4 を CVD 法により半導体基板上に形成する。この場合の絶縁膜 1 4 4 としては多結晶シリコン上の絶縁膜 1 3 4 を残すようにサイドスペーサーを形成する必要があるため、絶縁膜 1 3 4 の上層であるシリコン窒化膜に対しエッチング選択比が取れるシリコン酸化膜を用いる。絶縁膜 1 4 4 の膜厚は必要とする電界緩和の程度にもよるが通常 2000 \AA から 6000 \AA 程度である。絶縁膜 1 4 4 被着後に酸化膜の緻密化などの理由により熱処理を行う場合もある。

【 0 2 3 1 】

次に図 5 1 に示すように異方性ドライエッチングにより絶縁膜 1 4 4 をエッチングすることにより、ゲート電極や配線である多結晶シリコンの側壁にサイドスペーサー 1 4 1 を形成する。このとき絶縁膜 1 4 4 はシリコン酸化膜であり、多結晶シリコン上の絶縁膜 1 3 4 の上層はシリコン窒化膜であるため異方性ドライエッチングの際に選択比を十分大きく取ることができ、多結晶シリコン上の絶縁膜はエッチング中に除去されずに残る。

【 0 2 3 2 】

次に図 5 2 に示すようには薄膜多結晶シリコン 1 3 6 を被着する。

【 0 2 3 3 】

薄膜多結晶シリコンはゲートや配線となる多結晶シリコン同様 CVD 法により成膜されるが、膜厚が 5 0 0 Å から 2 0 0 0 Å と薄いため成膜温度を低温化して行う場合が多い。またスパッタ法により成膜を行う場合もある。

【 0 2 3 4 】

薄膜多結晶シリコンにより抵抗体を形成することで、抵抗体のシート抵抗値を数 $k\Omega/\square$ から数十 $k\Omega/\square$ 程度に高く設定してもその抵抗値精度を十分確保することが可能となる。

【 0 2 3 5 】

次に図 5 3 に示すようにフォトリソグラフィ法により後に N 型抵抗体となる部分を開口するようにフォトレジスト 1 3 2 をパターニングし、ドナー不純物であるリンないし砒素をイオン注入法により薄膜多結晶シリコン 1 3 6 中に選択的に導入する。

【 0 2 3 6 】

後述するように後の工程において薄膜多結晶シリコン全面に低濃度のアクセプタードーパントのイオン注入を行う場合があるが、ここでは後にそれを行っても導電型が N 型であるようにドーズ量を設定しておく。通常は $10^{14}\text{atoms}/\text{cm}^2$ から $10^{15}\text{atoms}/\text{cm}^2$ の範囲であり正味の濃度は $1 \times 10^{14}\text{atoms}/\text{cm}^3$ から $9 \times 10^{18}\text{atoms}/\text{cm}^3$ 程度であり、シート抵抗値としては数 $k\Omega/\square$ から数十 $k\Omega/\square$ である。抵抗による分圧回路における消費電流を少なくとも μA 以下にするため

にはこの程度のシート抵抗値に設定しておく必要がある。

【0237】

また回路や製品によってはN型の多結晶シリコンによる高抵抗が不要な場合があり、その場合には図53に示した工程は省略される。

【0238】

次にフォトリジスト132を剥離した後、図54に示すようにP型抵抗体領域を形成すべくアクセプター不純物であるボロンないし BF_2 をイオン注入法により薄膜多結晶シリコン136中に導入する。

【0239】

ドーズ量は通常は $10^{14} \text{ atoms/cm}^2$ から $10^{15} \text{ atoms/cm}^2$ の範囲であり正味の濃度は $1 \times 10^{14} \text{ atoms/cm}^3$ から $9 \times 10^{18} \text{ atoms/cm}^3$ 程度であり、シート抵抗値としては数 $\text{k}\Omega/\square$ から数十 $\text{k}\Omega/\square$ である。N型抵抗と同様に、抵抗による分圧回路における消費電流を少なくとも μA 以下にするためにこの程度のシート抵抗値に設定しておく。

【0240】

またやはりN型抵抗体同様、回路や製品によってはP型の多結晶シリコンによる高抵抗が不要な場合があり、その場合には図54に示した工程は省略される。図53から図54に示す工程により薄膜多結晶シリコン中にN型抵抗体領域、P型抵抗体領域を形成したがこれらの工程順は必ずしもこの順番どおりでなくてもかまわない。図53と図54に示す工程を入れ替えてもN型抵抗体領域とP型抵抗体領域は同じように形成される。

【0241】

次に図55に示すようにフォトリソグラフィ法とエッチングにより薄膜多結晶シリコン136をパターニングして抵抗体を形成する。

【0242】

抵抗体の加工は精度が求められるためドライエッチング法により行われる。通常多結晶シリコンと窒化膜のドライエッチにおける選択比はあまり大きくとることはできない。従って薄膜多結晶シリコン136のエッチングの最中にゲート電極および配線となるP+多結晶シリコン133上の絶縁膜134の上層である窒

化膜が全て除去される場合があるが、絶縁膜 1 3 4 の下層の酸化膜は多結晶シリコンとのドライエッチにおける選択比は十分に大きく取ることが可能である。そのため P+ 多結晶シリコン 1 3 3 上の絶縁膜 1 3 4 は全て除去されることはなく、後述するソースやドレイン形成時のイオン注入において十分マスクとして機能することが可能となる。

【 0 2 4 3 】

次にフォトレジスト 1 3 2 を剥離した後、図 5 6 に示すようにフォトリソグラフィ法により NMOS と N 型抵抗体の後に配線金属とのコンタクトとなる部分を開口するようにフォトレジスト 1 3 2 をパターニングした後、リンもしくは砒素などのドナーを高濃度にイオン注入法により P 型基板および N 型抵抗体中に導入し NMOS のソース、ドレインである N+ 領域 1 0 3 と N+ 多結晶シリコン領域 1 0 9 を形成する。

【 0 2 4 4 】

不純物としては通常は浅いソース、ドレインが得られる拡散係数の小さい砒素を用い、できるだけ低抵抗とするためドーズ量は $1 \times 10^{15} \text{ atoms/cm}^2$ 以上でありこの場合の濃度は $1 \times 10^{19} \text{ atoms/cm}^3$ 以上である。

【 0 2 4 5 】

またこの場合 NMOS のゲート電極上には絶縁膜 1 3 4 が置かれているため、NMOS の P+ ゲート電極にドナーが入ることはなく、仕事関数や抵抗値の変化には至らない。さらにサイド Spacer が設けられている領域の下にもドナーは入らずドレイン端を低電界とすることができる。

【 0 2 4 6 】

さらに図示はしていないが温度係数の改善などの目的で本工程により薄膜多結晶シリコンによる N 型の抵抗体領域の全域が高濃度である N+ 抵抗体を形成することも可能である。

【 0 2 4 7 】

次にフォトレジストを剥離した後、必要に応じて不純物活性化の熱処理を施した後、図 5 7 に示すようにフォトリソグラフィ法により PMOS と P 型抵抗体の後に配線金属とのコンタクトとなる部分を開口するようにフォトレジスト 1 3 2 を

パターニングした後、例えば BF_2 もしくはボロンなどのアクセプターを高濃度にイオン注入法によりNウェルおよびP型抵抗体中に導入しPMOSのソース、ドレインであるP+領域104とP+多結晶シリコン領域108を形成する。

【0248】

NMOS同様できるだけ低抵抗とするためドーズ量は $1 \times 10^{15} \text{ atoms/cm}^2$ 以上でありこの場合の濃度は $1 \times 10^{19} \text{ atoms/cm}^3$ 以上である。

また本工程においても図56において説明したようにP型抵抗体領域の全域が高濃度であるP+抵抗体を形成することも可能である。

【0249】

以上説明してきたように図23、図24、図46から図57の工程を経ることにより、図45に示す本発明による第五の実施例のCMOS半導体装置の構造が得られる。

【0250】

図58は本発明のCMOS半導体装置の第六の実施例を示す模式的断面図である。P型半導体基板101に形成されたゲート電極が高融点金属シリサイド127とP+型の多結晶シリコン107の積層である所謂ポリサイド構造でありソースとドレインがLDD構造であるNMOS113と、Nウェル領域102に形成されたゲート電極がやはり高融点金属シリサイド127とP+型の多結晶シリコン107の積層であるポリサイド構造であるLDD構造のPMOS112とからなるCMOSと、フィールド絶縁膜106上に形成されているポリサイドゲートの下層である多結晶シリコンと同一層の多結晶シリコンから成るP-抵抗体114およびN-抵抗体115とから構成されている。

【0251】

ポリサイドゲートの下層である多結晶シリコンと同一層の多結晶シリコンにより抵抗体を構成するため、抵抗体の膜厚は1000Åから4000Åと薄く抵抗値の精度を良好とできる。

【0252】

MOS構造にLDD構造を採用する理由は図35に示す第四の実施例のCMOS半導体装置に同じく微細化と信頼性向上のためであり、ゲート電極がポリサイド構造であ

る理由は図 2 2 に示す第三の実施例に同じく高速化のためであるが、本発明の根幹である CMOS 構造は P+ ゲート電極であることから、低電圧動作および低消費電力に対する効果は前述までの実施例と同じである。

【 0 2 5 3 】

次に本発明による第六の実施例の CMOS 半導体装置の製造方法を図面を用いて説明する。

【 0 2 5 4 】

図 5 9 は図 1 2 から図 1 5 に示した工程により多結晶シリコン 1 3 1 中に P+ 多結晶シリコン領域 1 3 3 と N- 多結晶シリコン領域 1 1 1 と P- 多結晶シリコン領域 1 1 0 を形成した後、絶縁膜 1 4 5 を CVD 法により被着し、フォトリソグラフィ法とエッチングにより絶縁膜 1 4 5 を N- 多結晶シリコン領域 1 1 1 と P- 多結晶シリコン領域 1 1 0 上に残すようにパターニングした様子を示す。

【 0 2 5 5 】

図 1 2 から図 1 5 までの工程と異なる点は多結晶シリコン 1 3 1 の膜厚が 1 0 0 0 Å から 4 0 0 0 Å と薄い点である。これはゲート電極をポリサイド構造とするためである。

【 0 2 5 6 】

絶縁膜 1 4 5 は一般にシリコン酸化膜が用いられ、膜厚は 1 0 0 0 Å から 4 0 0 0 Å の範囲である。必要に応じ絶縁膜 1 4 5 を堆積した後例えば電気炉中において温度が 9 0 0 °C で 3 0 分程度絶縁膜の緻密化のために熱処理を行う場合もある。

【 0 2 5 7 】

次に図 6 0 に示すように P+ 多結晶シリコン 1 3 3 および絶縁膜 1 4 5 上にスパッタ法ないしは CVD 法により高融点金属を被着する。高融点金属シリサイドとしてはモリブデンシリサイドもしくはタングステンシリサイドもしくはチタンシリサイドもしくはプラチナシリサイドが用いられ膜厚は 5 0 0 Å から 2 5 0 0 Å の範囲である。形成はダメージの心配はあるが高融点金属シリサイドと多結晶シリコンの密着性の観点から通常はスパッタ法を用いる。

【 0 2 5 8 】

次に図 6 1 に示すようにフォトリソグラフィー法により絶縁膜 1 4 5 とその近傍を開口するようにフォトレジスト 1 3 2 をパターニングし、ドライエッチング法により高融点金属シリサイドを選択的に除去する。

【 0 2 5 9 】

次にフォトレジストを除去し、例えば H F 溶液によるウェットエッチングにより抵抗体上の絶縁膜 1 4 5 を除去した後、図 6 2 に示すように高融点金属シリサイド 1 2 7 および抵抗体である多結晶シリコン上に絶縁膜 1 3 4 を設ける。この絶縁膜は下層がシリコン酸化膜、上層がシリコン窒化膜の積層構造であり、シリコン酸化膜は CVD 法により形成し、シリコン窒化膜も同様に CVD 法により形成する。絶縁膜 1 3 4 の総膜厚は 1 0 0 0 Å から 3 0 0 0 Å であるが、この総膜厚および酸化膜と窒化膜各々の膜厚は後述する NMOS のソースとドレイン形成の際にゲート電極中にドナードーパントが入るのを防ぐマスクとして働き、かつサイドスペーサー形成の際に絶縁膜 1 3 4 下層の酸化膜が露出しないような膜厚に設定する。例えばシリコン窒化膜が 2 0 0 0 Å でシリコン酸化膜を 1 0 0 0 Å とする。

【 0 2 6 0 】

また本工程において緻密化のため絶縁膜 1 3 4 を形成した後に熱処理を行う場合もある。

【 0 2 6 1 】

次に図 6 3 に示すようにフォトリソグラフィー法とエッチングにより絶縁膜 1 3 4 と高融点金属シリサイド 1 2 7 と多結晶シリコンをパターニングしてゲート電極、配線、抵抗体を形成する。

【 0 2 6 2 】

抵抗体部分は高融点金属シリサイド 1 2 7 が多結晶シリコン上にないためゲート電極や配線領域に比べ先にエッチングは終了するが、下地が膜厚の厚いフィールド絶縁膜 1 0 6 であるため何らかの問題が生じることはない。

【 0 2 6 3 】

以降は図 3 6 から図 4 2 に示した工程を行うことにより図 5 8 に示す第六の実施例の CMOS 半導体装置の構造を得る。

【 0 2 6 4 】

次に本発明による第六の実施例のCMOS半導体装置の製造方法の第二の実施例を説明する。

【0265】

図64は前述した図59までに説明した工程を行った後、コバルトもしくはチタンなどの高融点金属140をP+多結晶シリコン107および絶縁膜145上にスパッタ法により被着する。

【0266】

コバルト、チタンともに膜厚は100Åから500Åの範囲であり、コバルトの場合にはチタンもしくはチタンナイトライドを数十Åから数百Å積層する場合もある。

【0267】

次に例えばRTP (Rapid Thermal Process) により600℃から750℃程度の温度で数十秒から1分間程度の熱処理を行い、多結晶シリコンと接している部分の高融点金属をシリサイド化し、絶縁膜145上の未反応である高融点金属を例えば過酸化水素水とアンモニアの混合液もしくは硫酸と過酸化水素水の混合液により選択的に除去する。その様子を図65に示す。

【0268】

次に例えば700℃から900℃程度の温度で数十秒RTP処理を行った後、多結晶シリコン抵抗体上の絶縁膜145をHF溶液などでエッチングすることにより除去し図66に示す構造が得られる。

【0269】

以上に示した第二の実施例は先に説明した実施例に比べ、高融点金属シリサイドをゲート電極および配線領域上に自己整合的に残すことが可能であるため、先に説明した実施例に比べフォトリソグラフィ工程を削減できる利点がある。

【0270】

以降は図62以降で示した製造方法と同様な工程を経ることにより、図58に示す第六の実施例のCMOS半導体装置の構造が得られる。

【0271】

さらに以上に示した高融点金属シリサイドをゲート電極および配線領域に自己

整合的に形成する方法と、図 4 3 および図 4 4 に示した NMOS および PMOS の低濃度領域と多結晶シリコンによる抵抗体領域を同時に不純物ドーピングする製造方法とを組み合わせることによっても図 5 8 に示す第六の実施例の CMOS 半導体装置の構造が得られ、この場合さらなる工程の削減が可能となり、製造工期および製造コストの大幅な改善となる。

【 0 2 7 2 】

また以上の第六の実施例の CMOS 半導体装置の製造方法において、図 5 9 に示した状態は図 1 2 から図 1 5 に示した工程、即ち多結晶シリコン中に N-多結晶シリコン領域 1 1 1 と P-多結晶シリコン領域 1 1 0 と P+多結晶シリコン領域 1 0 7 を形成した後に絶縁膜 1 4 5 を被着、パターニングしていたが、以上の順番を変更し先に多結晶シリコン中に N-領域 1 1 1 と P-領域 1 1 0 と形成した後、図 5 9 に示すように絶縁膜 1 4 5 をパターニングし、その後そのパターニングされた絶縁膜 1 4 5 をマスクとして多結晶シリコン中に P+領域 1 0 7 を形成することも可能である。この場合マスク工程の削減となり工期、コストの面でさらに有利となる。

【 0 2 7 3 】

図 6 7 は本発明の CMOS 半導体装置の第七の実施例を示す模式的断面図である。P 型半導体基板 1 0 1 に形成されたゲート電極が高融点金属シリサイド 1 2 7 と P+型の多結晶シリコン 1 0 7 の積層である所謂ポリサイド構造でありソースとドレインが LDD 構造である NMOS 1 1 3 と、N ウェル領域 1 0 2 に形成されたゲート電極がやはり高融点金属シリサイド 1 2 7 と P+型の多結晶シリコン 1 0 7 の積層であるポリサイド構造である LDD 構造の PMOS 1 1 2 とからなる CMOS と、フィールド絶縁膜 1 0 6 上に形成されている薄膜多結晶シリコンから成る P-抵抗体 1 3 8 および N-抵抗体 1 3 9 とから構成されている。

【 0 2 7 4 】

MOS 構造に LDD 構造を採用する理由は図 3 5 に示す第四の実施例の CMOS 半導体装置に同じく微細化と信頼性向上のためであり、ゲート電極がポリサイド構造である理由は図 2 2 に示す第三の実施例に同じく高速化のためであり、薄膜多結晶シリコンにより抵抗体を構成する理由は第五の実施例に同じく抵抗値精度のためで

あるが、本発明の根幹であるCMOS構造はP+ゲート電極であることから、低電圧動作および低消費電力に対する効果は前述までの実施例と同じである。

【 0 2 7 5 】

図 6 7 に示す本発明による第七の実施例のCMOS半導体装置は前述した第三から第六の実施例であるCMOS半導体装置の製造方法の組み合わせ、例えば図 2 3 から図 2 6 に示した工程の後に図 4 8 から図 5 7 に示す工程を行うことにより形成される。

【 0 2 7 6 】

図 6 8 は本発明によるCMOS半導体装置の第八の実施例を示す模式的断面図である。

【 0 2 7 7 】

本発明の根幹であるゲート電極がP+多結晶シリコン 1 0 7 単極のCMOSとゲート電極と同一層の多結晶シリコンからなるP-抵抗体 1 1 4 とN-抵抗体 1 1 5 を有している。

【 0 2 7 8 】

前述した実施例と同様に低電圧動作、低消費電力、低コストの効果を有するが、さらにアナログ回路におけるチャネル長変調の改善やホットキャリアーによる信頼性低下の抑制およびドレイン耐圧の向上を目的としてソースとドレインもしくはドレインだけを不純物濃度の薄い拡散層N- 1 4 2、P- 1 4 3とし、ソースとドレインもしくはドレインだけをゲート電極から距離をおいて設けた不純物濃度の濃い拡散層N+ 1 0 3、P+ 1 0 4 としたいわゆるドレインエクステンションMOS型構造としている。入力電圧の高いVDやVRおよび出力電圧の高い昇圧型のSWRなどに対応するためである。

【 0 2 7 9 】

ゲート電極から離れて形成されているゲート電極から高不純物濃度拡散までの距離、いわゆるオフセット長は半導体装置に入力される電圧にもよるが通常は0.5 μ mから数 μ mである。図 6 8 においてはPMOS 1 1 2 の片側だけがオフセット構造であり、NMOS 1 1 3 は両側がオフセット構造となっているが、PMOSに関しては素子の回路での使用方法によりその回路において適切な構造をMOSトランジ

スターの導電型に関わらず選択することができる。標準的には電流方向が双方向でソースとドレインがケースバイケースで入れ替わる両方向に耐圧が必要な場合はソースとドレインの両方をオフセット構造とし、電流方向が単方向でソースとドレインが固定しているような場合には寄生抵抗の削減のため片側すなわちドレイン側だけをオフセット構造とする。

【 0 2 8 0 】

次に図 6 8 に示す本発明による第八の実施例のCMOS半導体装置の製造方法の実施例を図面を用いて説明する。

図 1 2 から図 1 5 に示した工程を行うことにより図 6 9 に示す構造が得られる。次に図 7 0 に示すようにフォトリソグラフィ法とエッチングにより多結晶シリコン 1 3 1 をパターンニングしてゲート電極、配線、抵抗体を形成する。

【 0 2 8 1 】

図 7 0 に示すいわゆるマスクオフセットCMOS構造では高濃度のソース、ドレイン形成においてフォトレジストによるゲート電極のマスクが可能であり、NMOSのゲート電極への高濃度のドナー不純物の導入を避けられるため、第一から第七の実施例のCMOS半導体装置の製造方法において必要とした多結晶シリコン 1 3 1 上への絶縁膜の形成は不要である。

【 0 2 8 2 】

次に図 7 1 に示すようにフォトリソグラフィ法によりNMOSを開口するようにフォトレジスト 1 3 2 をパターンニングした後、リンもしくは砒素などのドナーを低濃度にイオン注入法によりP型基板中に導入しNMOSの低濃度のソース、ドレインであるN-領域 1 4 2 を形成する。

【 0 2 8 3 】

不純物濃度は半導体製品の動作電圧にもよるが、通常はドーズ量が $10^{12} \text{atom/s/cm}^2$ から $10^{14} \text{atoms/cm}^2$ のオーダーであり、この場合の濃度は $10^{16} \text{atoms/cm}^3$ から $10^{18} \text{atoms/cm}^3$ のオーダーである。

【 0 2 8 4 】

NMOSにおいては前述したように高濃度のソース、ドレイン形成においてフォトレジストによりゲート電極をマスクして不純物導入する必要があるため、図 7 1

に示す工程においては必ずソース、ドレインの両方に低濃度のドナー不純物を導入しておく必要がある。またこのときNMOSのP+多結晶シリコンゲート電極にもドナー不純物は導入されるが、オーダーが異なるためゲート電極の仕事関数や抵抗値に影響を与えるものでない。

【0285】

また本工程においてサブスレッショルド係数を劣化させずパンチスルー耐圧を向上させるため、同じフォトレジストパターンをマスクとして比較的高いエネルギーでアクセプター不純物をイオン注入し、N-低濃度領域142下部にいわゆるP型のポケットを設ける場合もある。

【0286】

次にフォトレジストを除去したのち、図72に示すようにフォトリソグラフィー法によりPMOSを開口するようにフォトレジスト132をパターニングした後、ボロンないしBF₂などのアクセプターを低濃度にイオン注入法によりNウェル中に導入しPMOSの低濃度のソース、ドレインであるP-領域143を形成する。

図72に示す例においてはPMOSの片側、すなわちドレイン側にしかP-領域を形成していないが、前述したようにPMOSの回路における使用方法によってはソース、ドレインの両方にP-領域を形成してもよい。

【0287】

また本工程においても図71での工程と同様に比較的高いエネルギーでドナー不純物をイオン注入し、P-低濃度領域143下部にいわゆるN型のポケットを設ける場合もある。

【0288】

次にフォトレジスト132を剥離した後、図73に示すようにフォトリソグラフィー法によりNMOSとN型抵抗体の後に配線金属とのコンタクトとなる部分を開口するようにフォトレジスト132をパターニングした後、リンもしくは砒素などのドナーを高濃度にイオン注入法によりP型基板およびN型抵抗体中に導入しNMOSのソース、ドレインであるN+領域103とN+多結晶シリコン領域109を形成する。

【0289】

不純物としては通常は浅いソース、ドレインが得られる拡散係数の小さい砒素を用い、できるだけ低抵抗とするためドーズ量は $1 \times 10^{15} \text{ atoms/cm}^2$ 以上でありこの場合の濃度は $1 \times 10^{19} \text{ atoms/cm}^3$ 以上である。

【 0 2 9 0 】

またこの場合NMOSのゲート電極上にはフォトレジストが置かれているため、NMOSのP+ゲート電極にドナーが入ることはなく、仕事関数や抵抗値の変化には至らない。

【 0 2 9 1 】

このときフォトレジストはゲート電極に隣接するソース、ドレインの一部をマスクするようにパターニングされているが、このマスク幅は前述したように通常は $0.5 \mu\text{m}$ から数 μm である。しかしホットキャリアーやチャネル長変調を考慮しなくてもよいソース側は単にゲート電極をマスクする目的でソース側にもフォトレジストを配置するので、このときはフォトリソグラフィー法で使用するアライナーのアライメントエラー値だけゲート電極からフォトレジストを張出しておけばよく例えば $0.3 \mu\text{m}$ 程度で済む。

【 0 2 9 2 】

次にフォトレジストを剥離した後、必要に応じて不純物活性化の熱処理を施した後、図 7 4 に示すようにフォトリソグラフィー法によりPMOSとP型抵抗体の後に配線金属とのコンタクトとなる部分を開口するようにフォトレジスト 1 3 2 をパターニングした後、例えば BF_2 もしくはボロンなどのアクセプターを高濃度でイオン注入法によりNウェルおよびP型抵抗体中に導入しPMOSのソース、ドレインであるP+領域 1 0 4 とP+多結晶シリコン領域 1 0 8 を形成する。

【 0 2 9 3 】

NMOS同様できるだけ低抵抗とするためドーズ量は $1 \times 10^{15} \text{ atoms/cm}^2$ 以上でありこの場合の濃度は $1 \times 10^{19} \text{ atoms/cm}^3$ 以上である。

【 0 2 9 4 】

以上の工程により図 6 8 に示す第八の実施例のCMOS半導体装置の構造が得られる。

【 0 2 9 5 】

図 7 5、図 7 6 には図 6 8 に示す第八の実施例の CMOS 半導体装置の製造方法の第二の実施例を示している。

【 0 2 9 6 】

図 1 2 から図 1 5 に示す製造方法において、図 1 3 における N-多結晶シリコン 1 1 1 の形成および図 1 5 における P-多結晶シリコン 1 1 0 の形成を行わずに図 7 0 で示した多結晶シリコンのパターニングを行いゲート電極と配線と抵抗体となる領域を形成した後、図 7 5 に示すように NMOS と N 型抵抗体となる部分を開口するようにフォトレジスト 1 3 2 をパターニングしてリンもしくは砒素などのドナーを低濃度にイオン注入法により P 型半導体基板および多結晶シリコン中に導入し、NMOS の低濃度のソース、ドレインである N-領域 1 4 2 と N 型抵抗体となる N-多結晶シリコン 1 1 1 を同時形成する。

【 0 2 9 7 】

NMOS の低濃度オフセットソース、ドレイン領域と N 型多結晶シリコン抵抗体の不純物濃度は比較的近いいため製品の仕様によってはこのように同時形成が可能となる。

【 0 2 9 8 】

フォトレジストを除去した後、図 7 6 に示すようにやはり図 7 5 と同様に PMOS と P 型抵抗体となる部分を開口するようにフォトレジスト 1 3 2 をパターニングしてボロンもしくは BF_2 などのアクセプターを低濃度にイオン注入法により N ウェルおよび多結晶シリコン中に導入し、PMOS の低濃度のソース、ドレインである P-領域 1 4 3 と P 型抵抗体となる P-多結晶シリコン 1 1 0 を形成する。

【 0 2 9 9 】

以降の工程は図 7 3 から図 7 4 に示した製造方法と同じ工程を行い図 6 8 に示す第八の実施例の CMOS 半導体装置の構造を得る。以上に示した本発明の第二の製造方法によればマスク工程を削減することが可能であり、コストや工期の面で有利である。

【 0 3 0 0 】

さらに以上の第八の実施例の CMOS 半導体装置の製造方法の説明においては NMOS と PMOS とともに MOS の低濃度拡散領域を先に形成し高濃度拡散領域の形成をその後

に行っていたが、先に高濃度拡散領域を形成しその後低濃度拡散領域を形成しても図 6 8 に示す第九の実施例の CMOS 半導体装置の構造が得られ、半導体装置のもたらす効果も全く同じである。

【0 3 0 1】

図 7 7 は本発明による CMOS 半導体装置の第九の実施例を示す模式的断面図である。

【0 3 0 2】

本発明の根幹であるゲート電極が P+ 多結晶シリコン 1 0 7 単極の CMOS とゲート電極の多結晶シリコンより薄膜である多結晶シリコンからなる P- 抵抗体 1 3 8 と N- 抵抗体 1 3 9 を有している。

【0 3 0 3】

MOS 構造はチャネル長変調の改善やホットキャリアーによる信頼性低下の抑制およびドレイン耐圧の向上を目的としてドレインエクステンション構造を用いており、抵抗体は精度向上を目的とし薄膜化しているが、前述した実施例と同様に低電圧動作、低消費電力、低コストの効果を有する。

【0 3 0 4】

次に図 7 7 に示す本発明による第九の実施例の CMOS 半導体装置の製造方法の実施例を図面を用いて説明する。

【0 3 0 5】

図 4 6 に示した工程までのうち、P+ 多結晶シリコン 1 3 3 上に絶縁膜 1 3 4 を設ける工程を省略し、フォトリソグラフィ法とドライエッチングにより P+ 多結晶シリコン 1 3 3 をパターニングすることにより図 7 8 に示す構造となる。絶縁膜 1 3 4 が不要の理由はレジストを P+ 多結晶シリコンゲート電極へのドナー混入のマスクとして用いられるためである。

【0 3 0 6】

P+ 多結晶シリコン 1 3 3 の膜厚はゲート電極が多結晶シリコン単層から成るため、2 0 0 0 Å から 6 0 0 0 Å としてある。

【0 3 0 7】

次に図 7 9 に示すように絶縁膜 1 3 7 を形成した後、薄膜多結晶シリコン 1 3

6を被着する。

絶縁膜137は例えば熱酸化法による膜厚が数百Å程度の酸化膜もしくはCVD法によるやはり膜厚が数百Å程度の酸化膜である。

【0308】

薄膜多結晶シリコン136は成膜温度を低温化して行うCVD法もしくはスパッタ法により形成される。

ゲート電極や配線に用いられる多結晶シリコンより膜厚の薄い薄膜多結晶シリコンを用いて抵抗体を形成することで、抵抗体のシート抵抗値を数 $k\Omega/\square$ から数十 $k\Omega/\square$ 程度に高く設定してもその抵抗値精度を十分確保することが可能となる。

【0309】

次に図80に示すようにフォトリソグラフィ法により後にN型抵抗体となる部分を開口するようにフォトレジスト132をパターニングし、ドナー不純物であるリンないし砒素をイオン注入法により薄膜多結晶シリコン136中に選択的に導入する。

【0310】

後述するように後の工程において薄膜多結晶シリコン全面に低濃度のアクセプタードーパントのイオン注入を行う場合があるが、ここでは後にそれを行っても導電型がN型でかつ一定範囲内の濃度であるようにドーズ量を設定しておく。通常は $10^{14}\text{atoms}/\text{cm}^2$ から $10^{15}\text{atoms}/\text{cm}^2$ の範囲であり正味の濃度は $1 \times 10^{14}\text{atoms}/\text{cm}^3$ から $9 \times 10^{18}\text{atoms}/\text{cm}^3$ 程度であり、シート抵抗値としては数 $k\Omega/\square$ から数十 $k\Omega/\square$ である。抵抗による分圧回路における消費電流を少なくとも μA 以下にするためにはこの程度のシート抵抗値に設定しておく必要がある。

【0311】

また回路や製品によってはN型の多結晶シリコンによる高抵抗が不要な場合があり、その場合には図80に示した工程は省略される。

【0312】

次にフォトレジスト132を剥離した後、図81に示すようにP型抵抗体領域

を形成すべくアクセプター不純物であるボロンないし BF_2 をイオン注入法により薄膜多結晶シリコン 1 3 6 中全域に導入する。

【 0 3 1 3 】

ドーズ量は通常は $10^{14}\text{atoms}/\text{cm}^2$ から $10^{15}\text{atoms}/\text{cm}^2$ の範囲であり正味の濃度は $1 \times 10^{14}\text{atoms}/\text{cm}^3$ から $9 \times 10^{18}\text{atoms}/\text{cm}^3$ 程度であり、シート抵抗値としては数 $\text{k}\Omega/\square$ から数十 $\text{k}\Omega/\square$ である。N型抵抗と同様に、抵抗による分圧回路における消費電流を少なくとも μA 以下にするためにこの程度のシート抵抗値に設定しておく。

【 0 3 1 4 】

またやはりN型抵抗体同様、回路や製品によってはP型の多結晶シリコンによる高抵抗が不要な場合があり、その場合には図 8 1 に示した工程は省略される。図 8 0 から図 8 1 に示す工程により薄膜多結晶シリコン 1 3 6 中にN型抵抗体領域、P型抵抗体領域を形成したがこれらの工程順は必ずしもこの順番どおりでなくてもかまわない。図 8 0 と図 8 1 に示す工程を入れ替えてもN型抵抗体領域とP型抵抗体領域は同じように形成される。

【 0 3 1 5 】

次に図 8 2 に示すようにフォトリソグラフィ法とエッチングにより薄膜多結晶シリコン 1 3 6 をパターニングして抵抗体を形成する。

抵抗体の加工は精度が求められるため異方性ドライエッチング法により行われる。

【 0 3 1 6 】

以降は図 7 1 以降で示した第八の実施例のCMOS構造の製造方法と同様な工程を経ることにより、図 7 7 に示す第九の実施例のCMOS半導体装置の構造が得られる。

【 0 3 1 7 】

図 8 3 は本発明によるCMOS半導体装置の第十の実施例を示す模式的断面図である。

【 0 3 1 8 】

ゲート電極が本発明の根幹であるP+多結晶シリコン 1 0 7 と高融点金属シリ

サイド 1 2 7 の積層からなる CMOS とゲート電極の下層の多結晶シリコンと同一層の多結晶シリコンからなる P-抵抗体 1 1 4 と N-抵抗体 1 1 5 を有している。

【 0 3 1 9 】

ゲート電極や配線は高速化に適したポリサイド構造を採用し、MOS構造はチャネル長変調の改善やホットキャリアーによる信頼性低下の抑制およびドレイン耐圧の向上を目的としてドレインエクステンション構造を用いているが、前述した実施例と同様に低電圧動作、低消費電力、低コストの効果を有する。

【 0 3 2 0 】

次に図 8 3 に示す本発明による第十の実施例の CMOS 半導体装置の製造方法の実施例を図面を用いて説明する。

【 0 3 2 1 】

図 5 9 から図 6 3 に示した工程までのうち、N-多結晶シリコン抵抗体上および P-多結晶シリコン抵抗体上および高融点金属シリサイド 1 2 7 上に絶縁膜 1 3 4 を設ける工程を省略し、フォトリソグラフィ法とドライエッチングにより高融点金属シリサイドと多結晶シリコンの積層であるポリサイド構造と多結晶シリコン単層からなる抵抗体領域をパターニングすることにより図 8 4 に示す構造となる。絶縁膜 1 3 4 が不要の理由は第九の実施例の製造方法と同様、レジストを P+ゲート電極へのドナー混入のマスクとして用いられるためである。

【 0 3 2 2 】

以降は図 7 1 以降で示した第八の実施例の CMOS 構造の製造方法と同様な工程を経ることにより、図 8 3 に示す第十の実施例の CMOS 半導体装置の構造が得られる。

【 0 3 2 3 】

図 8 5 は本発明による CMOS 半導体装置の第十一の実施例を示す模式的断面図である。

【 0 3 2 4 】

ゲート電極が本発明の根幹である P+多結晶シリコン 1 0 7 と高融点金属シリサイド 1 2 7 の積層からなる CMOS とゲート電極下層の多結晶シリコンより薄膜である多結晶シリコンからなる P-抵抗体 1 3 8 と N-抵抗体 1 3 9 を有している。

ゲート電極や配線は高速化に適したポリサイド構造を採用し、MOS構造はチャネル長変調の改善やホットキャリアーによる信頼性低下の抑制およびドレイン耐圧の向上を目的としてドレインエクステンション構造を用いており、抵抗体は精度向上を目的とし薄膜化しているが、前述した実施例と同様に低電圧動作、低消費電力、低コストの効果を有する。

【 0 3 2 5 】

図 8 5 に示す本発明による第十一の実施例のCMOS半導体装置の製造方法は、第八から第十の実施例のCMOS半導体装置の製造方法を適切に組み合わせることにより得られる。

【 0 3 2 6 】

また第八から第十一の実施例のCMOS半導体装置においてはレジストをP+ゲート電極へのドナー不純物ドーピング防止のマスクとして用いることができたためゲート電極上に絶縁膜 1 3 4 のようなハードマスク材は設けていなかったが、第一から第七の実施例で示したようにゲート電極上にハードマスク材を設けることも可能である。その際ドレインエクステンションMOS構造におけるNMOSのソース側は高濃度拡散であるN+とゲート電極のオーバーラップが可能であり、ソース側寄生抵抗の削減が可能となる。

【 0 3 2 7 】

また第三の実施例、第五の実施例、第七の実施例、第九の実施例、第十一の実施例のCMOS半導体装置の製造方法において、抵抗体となる薄膜多結晶シリコンはゲート電極形成後に形成されていたが、先に薄膜多結晶シリコンによる抵抗体を形成しその後ゲート電極の形成を行うことも可能である。

【 0 3 2 8 】

図 8 6 は本発明によるCMOS半導体装置の第十二の実施例を示す模式的断面図である。

【 0 3 2 9 】

ゲート電極は本発明の根幹であるP+多結晶シリコン 1 0 7 単極のCMOSであり、前述した実施例で示した低電圧動作、低消費電力、低コストの効果を有するが、さらにソースとドレインの両方にゲート電極とオーバーラップして不純物濃度

の濃い拡散層N+103、P+104を配し、ソースとドレインもしくはドレインだけにゲート電極とオーバーラップして不純物濃度の薄い拡散層N-142、P-143を配したいわゆるDouble Dif fused Drain (DDD) 構造からなるMOSトランジスタ構造としている。信頼性の確保と耐圧の向上を目的としDDD構造としているが、高不純物濃度の拡散層がゲート電極とオーバーラップしており、その分MOSの動作時の寄生抵抗を小さくできるというメリットがある。しかしゲートとドレインのオーバーラップ、すなわちミラー容量が大きいため高周波動作には不向きという欠点ももつ。

【0330】

図86に示す実施例においてはPMOS112の片側だけが高耐圧構造であり、NMOS113は両側が高耐圧構造となっているが、素子の回路での使用方法によりMOSトランジスタの導電型に関わらずその回路において適切な構造を選択することができる。標準的には電流方向が双方向でソースとドレインがケースバイケースで入れ替わる両方向に耐圧が必要な場合はソースとドレインの両方を高耐圧構造とし、電流方向が単方向でソースとドレインが固定しているような場合には寄生抵抗の削減のため片側すなわちドレイン側だけを高耐圧構造とする。また図86にはゲート電極としてP+多結晶シリコン単層の例を示しているが、P+ポリサイド構造をゲート電極として使用することも可能であり、同様に抵抗体も薄膜多結晶シリコンによるP-抵抗体、N-抵抗体、P+抵抗体、N+抵抗体を必要に応じて任意に選択適用することが可能である。

【0331】

図86に示した第十二の実施例のCMOS半導体装置の製造は前述までの実施例に説明した製造方法を適切に組み合わせることにより可能である。

【0332】

図87は本発明によるCMOS半導体装置の第十三の実施例を示す模式的断面図である。

【0333】

ゲート電極は本発明の根幹であるP+多結晶シリコン107単極のCMOSであり、前述した実施例に示した低電圧動作、低消費電力、低コストの効果を有するが

、さらにソースとドレインもしくはドレインだけを不純物濃度の薄い拡散層N-142、P-143とし、ソースとドレインもしくはドレインだけをゲート電極から距離をおいてかつその間にフィールド絶縁膜106を設けて形成された不純物濃度の濃い拡散層N+103、P+104としたMOSトランジスター構造としている。高不純物濃度拡散層とゲート電極の間に数千Åから1μm前後の厚い絶縁膜が設けられていることから電界緩和の効果は大きく高耐圧動作、例えば数十Vから数百Vの動作に対応できるというメリットがある。しかし素子サイズを小さくできないという欠点ももつ。

【0334】

図87に示す実施例においてはPMOS112の片側だけが高耐圧構造であり、NMOS113は両側が高耐圧構造となっているが、素子の回路での使用方法によりMOSトランジスターの導電型に関わらずその回路において適切な構造を選択することができる。標準的には電流方向が双方向でソースとドレインがケースバイケースで入れ替わる両方向に耐圧が必要な場合はソースとドレインの両方を高耐圧構造とし、電流方向が単方向でソースとドレインが固定しているような場合には寄生抵抗の削減のため片側すなわちドレイン側だけを高耐圧構造とする。また図87にはゲート電極としてP+多結晶シリコン単層の例を示しているが、P+ポリサイド構造をゲート電極として使用することも可能であり、同様に抵抗体も薄膜多結晶シリコンによるP-抵抗体、N-抵抗体、P+抵抗体、N+抵抗体を必要に応じて任意に選択適用することが可能である。

【0335】

図87に示した第十三の実施例のCMOS半導体装置の製造はLOCOS形成時の所謂チャネルストッパー形成の際にドリフト領域N-142、P-143を形成し、以降は前述までの実施例で説明した製造方法を適切に組み合わせることにより可能である。

【0336】

図88は本発明によるCMOS半導体装置の第十四の実施例を示す模式的断面図である。

【0337】

ゲート電極が本発明の根幹であるP+多結晶シリコン107単極からなるCMOSと抵抗体として薄膜金属からなる薄膜抵抗体146を有している。

【0338】

薄膜金属147の材質としてはNi-Cr合金もしくはCr-SiO合金もしくはモリブデンシリサイドもしくは β -フェライトシリサイドを用い膜厚が100Åから300Åでの範囲である。

【0339】

抵抗体に金属薄膜を用いる場合、多結晶シリコンからなる抵抗体の場合に比べ抵抗値の電圧依存性が低いことから抵抗値の比精度が向上する利点を有する一方、製造においては熱処理や工程の制限を受けるなどの欠点を有す。一般的にはゲートおよびソースとドレイン形成後に薄膜抵抗体は形成される。

【0340】

図88に示す第十四の実施例のCMOS半導体装置においても前述した実施例と同様に低電圧動作、低消費電力、低コストの効果を有する。

【0341】

【発明の効果】

上述したように、本発明はCMOSと抵抗体とを含むパワーマネジメント半導体装置やアナログ半導体装置において、CMOSのゲート電極の導電型をNMOS、PMOSともにP型とし、E型PMOSは表面チャネル型であるため短チャネル化や低しきい値電圧化が可能であり、また埋込みチャネル型であるNMOSもしきい値制御用の不純物として拡散係数の小さい砒素を使えるため極めて浅い埋込みチャネルとなり短チャネル化や低しきい値電圧化が容易となり、さらに分圧回路やCR回路に用いられる抵抗体をゲート電極と同一層の多結晶シリコンもしくはより薄膜化した多結晶シリコンもしくは薄膜金属から構成することにより、従来のN+多結晶シリコンゲート単極のCMOSやチャネルとゲート電極の極性が同じ同極ゲートCMOSに比べ、コスト、工期、素子の性能の面で有利であるパワーマネジメント半導体装置やアナログ半導体装置の実現を可能とする。

【図面の簡単な説明】

【図1】

本発明のCMOS半導体装置の第一の実施例を示す模式的断面図。

【図 2】

本発明のCMOS半導体装置の第二の実施例を示す模式的断面図。

【図 3】

半導体装置による正型VR構成概要本。

【図 4】

本発明の半導体装置による基準電圧回路の第一の実施例を示す模式的断面図。

【図 5】

本発明の半導体装置による基準電圧回路の第二の実施例を示す模式的断面図。

【図 6】

半導体装置による基準電圧回路例。

【図 7】

半導体装置による基準電圧回路例。

【図 8】

半導体装置による基準電圧回路例。

【図 9】

半導体装置による基準電圧回路例。

【図 1 0】

半導体装置による基準電圧回路例。

【図 1 1】

半導体装置による基準電圧回路例。

【図 1 2】

本発明の第一の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 1 3】

本発明の第一の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 1 4】

本発明の第一の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 1 5】

本発明の第一の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 1 6】

本発明の第一の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 1 7】

本発明の第一の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 1 8】

本発明の第一の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 1 9】

本発明の第一の実施例のCMOS半導体装置の製造方法を示す模式的断面。

【図 2 0】

本発明の第一の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 2 1】

本発明の第一の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 2 2】

本発明のCMOS半導体装置の第三の実施例を示す模式的断面図。

【図 2 3】

本発明の第三の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 2 4】

本発明の第三の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 2 5】

本発明の第三の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 2 6】

本発明の第三の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 2 7】

本発明の第三の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 2 8】

本発明の第三の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 2 9】

本発明の第三の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 3 0】

本発明の第三の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 3 1】

本発明の第三の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 3 2】

本発明の第三の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 3 3】

本発明の第三の実施例のCMOS半導体装置の製造方法の第二の実施例を示す模式的断面図。

【図 3 4】

本発明の第三の実施例のCMOS半導体装置の製造方法の第二の実施例を示す模式的断面図。

【図 3 5】

本発明のCMOS半導体装置の第四の実施例を示す模式的断面図。

【図 3 6】

本発明の第四の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 3 7】

本発明の第四の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 3 8】

本発明の第四の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 3 9】

本発明の第四の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 4 0】

本発明の第四の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図本。

【図 4 1】

本発明の第四の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 4 2】

本発明の第四の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 4 3】

本発明の第四の実施例のCMOS半導体装置の製造方法の第二の実施例を示す模式的断面図。

【図 4 4】

本発明の第四の実施例のCMOS半導体装置の製造方法の第二の実施例を示す模式的断面図。

【図 4 5】

本発明のCMOS半導体装置の第五の実施例を示す模式的断面図。

【図 4 6】

本発明の第五の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 4 7】

本発明の第五の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 4 8】

本発明の第五の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 4 9】

本発明の第五の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 5 0】

本発明の第五の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 5 1】

本発明の第五の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 5 2】

本発明の第五の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 5 3】

本発明の第五の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 5 4】

本発明の第五の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 5 5】

本発明の第五の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 5 6】

本発明の第五の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 5 7】

本発明の第五の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 5 8】

本発明のCMOS半導体装置の第六の実施例を示す模式的断面図。

【図 5 9】

本発明の第六の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 6 0】

本発明の第六の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 6 1】

本発明の第六の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 6 2】

本発明の第六の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 6 3】

本発明の第六の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 6 4】

本発明の第六の実施例のCMOS半導体装置の製造方法の第二の実施例を示す模式的断面図。

【図 6 5】

本発明の第六の実施例のCMOS半導体装置の製造方法の第二の実施例を示す模式的断面図。

【図 6 6】

本発明の第六の実施例のCMOS半導体装置の製造方法の第二の実施例を示す模式的断面図。

【図 6 7】

本発明のCMOS半導体装置の第七の実施例を示す模式的断面図。

【図 6 8】

本発明のCMOS半導体装置の第八の実施例を示す模式的断面図。

【図 6 9】

本発明の第八の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 7 0】

本発明の第八の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 7 1】

本発明の第八の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 7 2】

本発明の第八の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 7 3】

本発明の第八の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 7 4】

本発明の第八の実施例のCMOS半導体装置の製造方法の第一の実施例を示す模式的断面図。

【図 7 5】

本発明の第八の実施例のCMOS半導体装置の製造方法の第二の実施例を示す模式的断面図。

【図 7 6】

本発明の第八の実施例のCMOS半導体装置の製造方法の第二の実施例を示す模式的断面図。

【図 7 7】

本発明のCMOS半導体装置の第九の実施例を示す模式的断面図。

【図 7 8】

本発明の第九の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 7 9】

本発明の第九の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 8 0】

本発明の第九の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 8 1】

本発明の第九の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 8 2】

本発明の第九の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 8 3】

本発明のCMOS半導体装置の第十の実施例を示す模式的断面図。

【図 8 4】

本発明の第十の実施例のCMOS半導体装置の製造方法を示す模式的断面図。

【図 8 5】

本発明のCMOS半導体装置の第十一の実施例を示す模式的断面図。

【図 8 6】

本発明のCMOS半導体装置の第十二の実施例を示す模式的断面図。

【図 8 7】

本発明のCMOS半導体装置の第十三の実施例を示す模式的断面図。

【図 8 8】

本発明のCMOS半導体装置の第十四の実施例を示す模式的断面図。

【図 8 9】

従来のCMOS半導体装置の模式的断面図。

【図 9 0】

従来のCMOS半導体装置の模式的断面図。

【図 9 1】

従来のCMOS半導体装置の模式的断面図。

【符号の説明】

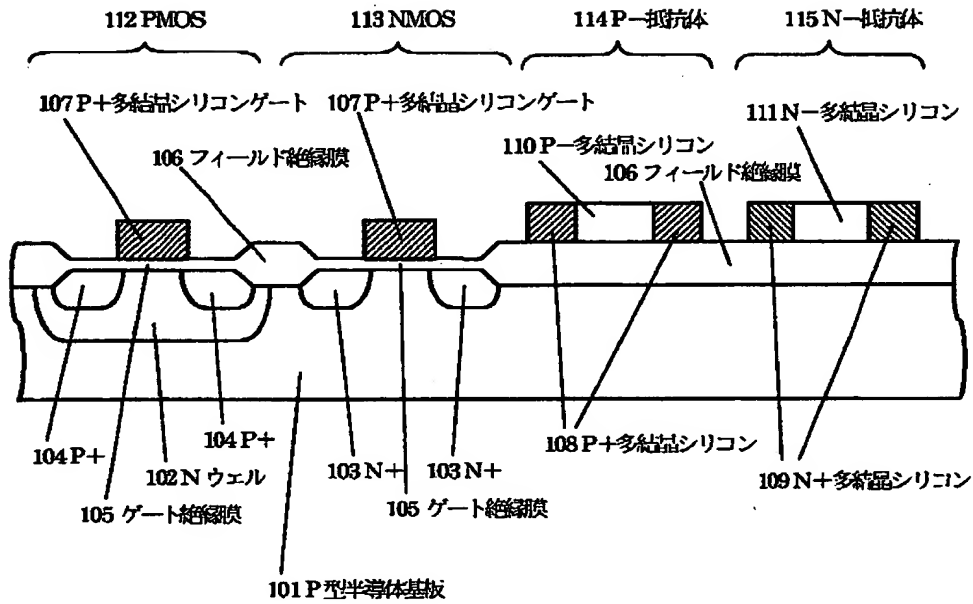
- 1 0 1 P型半導体基板
- 1 0 2 Nウェル
- 1 0 3 N+
- 1 0 4 P+
- 1 0 5 ゲート絶縁膜
- 1 0 6 フィールド絶縁膜
- 1 0 7 P+多結晶シリコンゲート
- 1 0 8 P+多結晶シリコン
- 1 0 9 N+多結晶シリコン
- 1 1 0 P-多結晶シリコン
- 1 1 1 N-多結晶シリコン
- 1 1 2 PMOS
- 1 1 3 NMOS

- 1 1 4 P-抵抗体
- 1 1 5 N-抵抗体
- 1 1 6 P+抵抗体
- 1 1 7 N+抵抗
- 1 1 8 N型半導体基板
- 1 1 9 Pウェル
- 1 2 0 ソース
- 1 2 1 ドレイン
- 1 2 2 低電圧供給端子
- 1 2 3 高電圧供給端子
- 1 2 4 出力端子
- 1 2 5 E型NMOS
- 1 2 6 D型NMOS
- 1 2 7 高融点金属シリサイド
- 1 2 8 PMOS
- 1 2 9 D型NMOS
- 1 3 1 多結晶シリコン
- 1 3 2 フォトレジスト
- 1 3 3 P+多結晶シリコン
- 1 3 4 絶縁膜
- 1 3 5 中間絶縁膜
- 1 3 6 薄膜多結晶シリコン
- 1 3 7 絶縁膜
- 1 3 8 薄膜P-抵抗体
- 1 3 9 薄膜N-抵抗体
- 1 4 0 高融点金属
- 1 4 1 サイドスペーサー
- 1 4 2 N-拡散層
- 1 4 3 P-拡散層

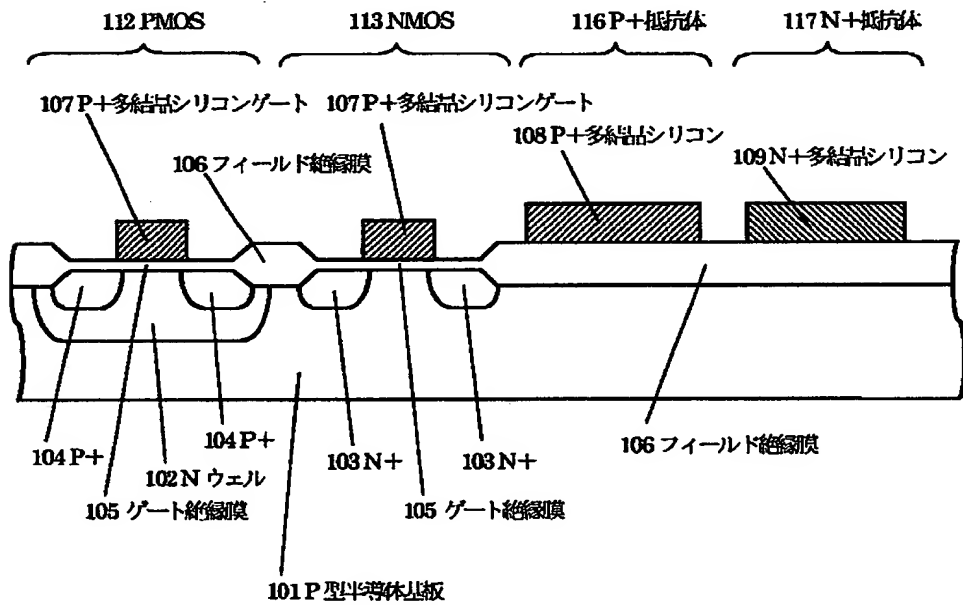
- 1 4 4 絶縁膜
- 1 4 5 絶縁膜
- 1 4 6 薄膜抵抗体
- 1 4 7 薄膜金属
- 1 5 0 基準電圧回路
- 1 5 1 エラーアンプ
- 1 5 2 PMOS出力素子
- 1 5 3 入力端子
- 1 5 4 グラウンド端子
- 1 5 5 出力端子
- 1 5 6 抵抗
- 1 5 7 分圧回路
- 2 0 1 P型半導体基板
- 2 0 2 Nウェル
- 2 0 3 N+
- 2 0 4 P+
- 2 0 5 ゲート絶縁膜
- 2 0 6 フィールド絶縁膜
- 2 0 7 N+多結晶シリコンゲート
- 2 0 8 P+多結晶シリコンゲート
- 2 0 9 N+多結晶シリコン
- 2 1 1 N-多結晶シリコン
- 2 1 2 PMOS
- 2 1 3 NMOS
- 2 1 5 N-抵抗体
- 2 1 6 高融点金属シリサイド

【書類名】 図面

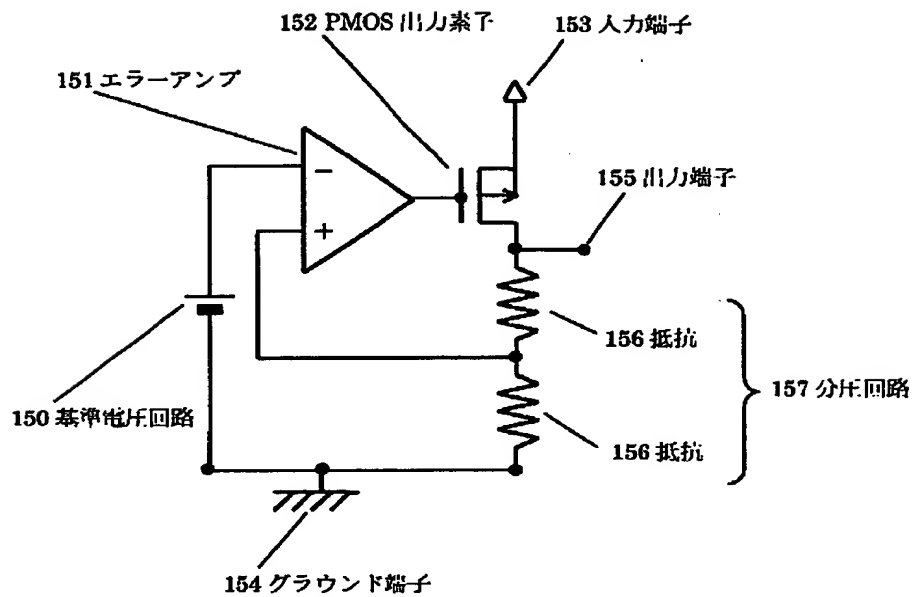
【図 1】



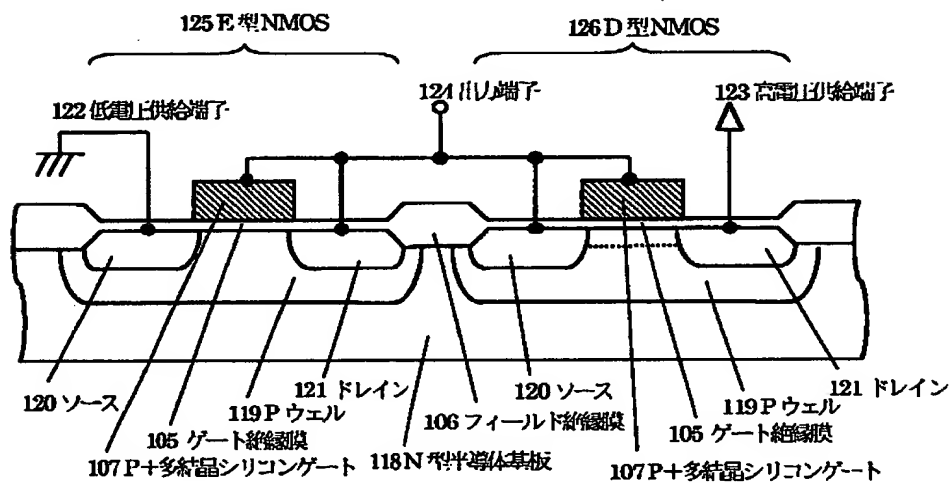
【図 2】



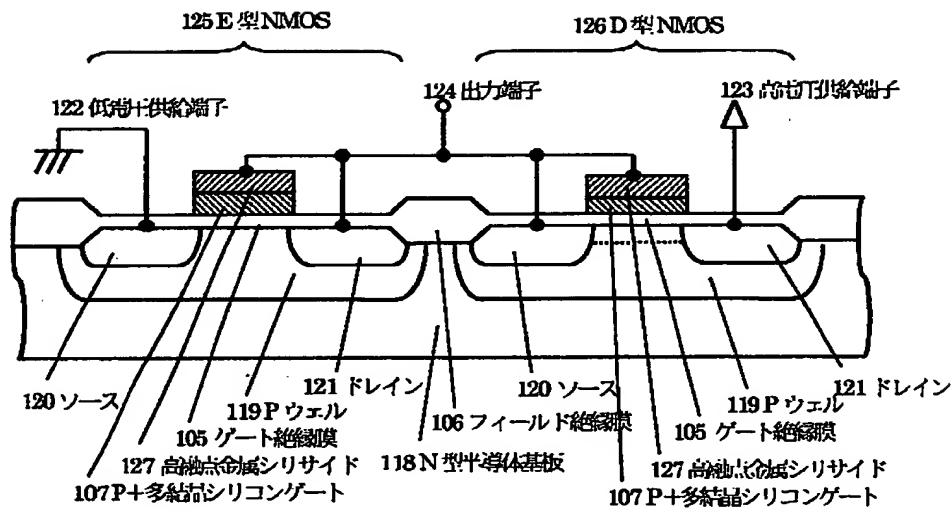
【図 3】



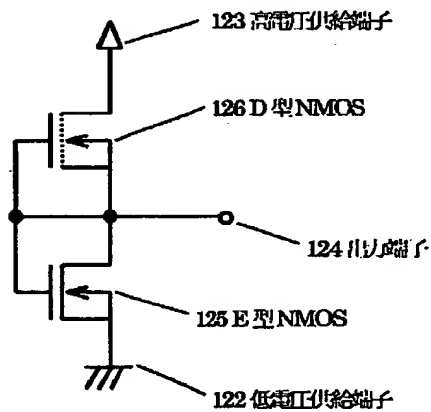
【図 4】



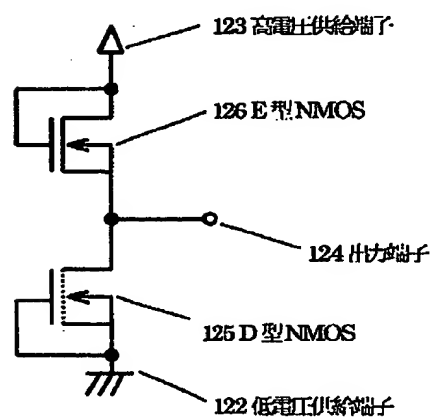
【図 5】



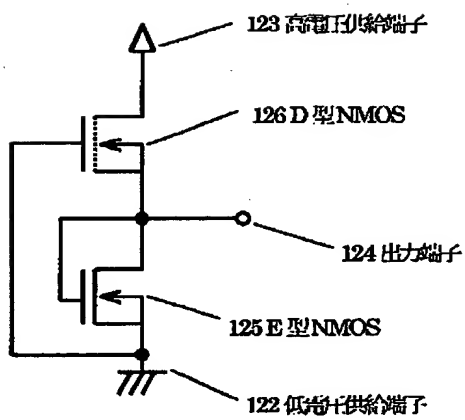
【図 6】



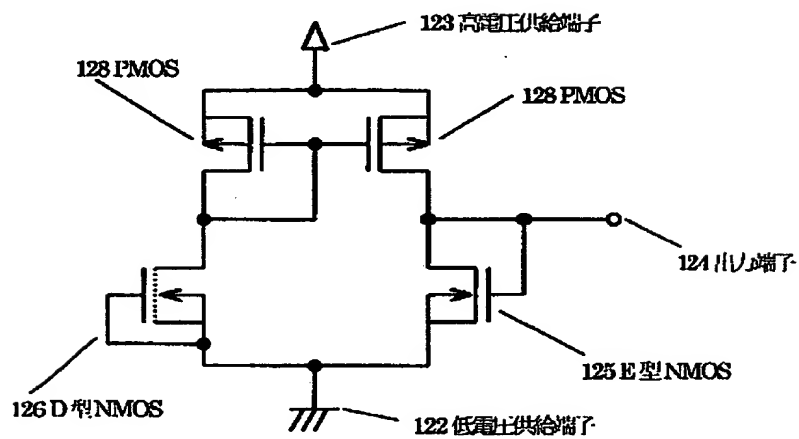
【図 7】



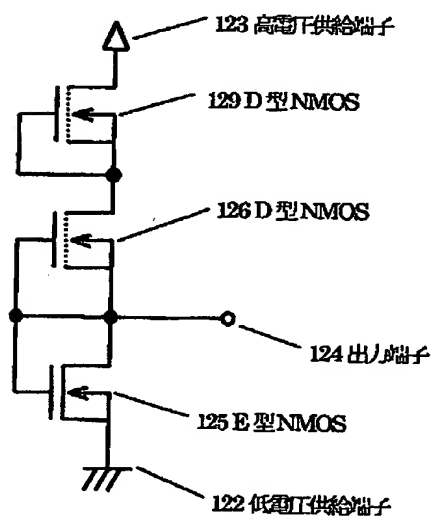
【図 8】



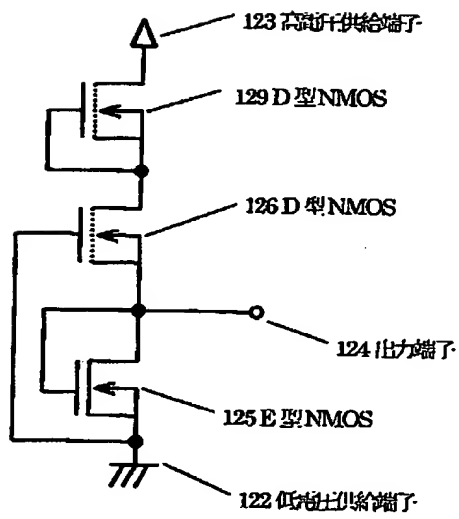
【図 9】



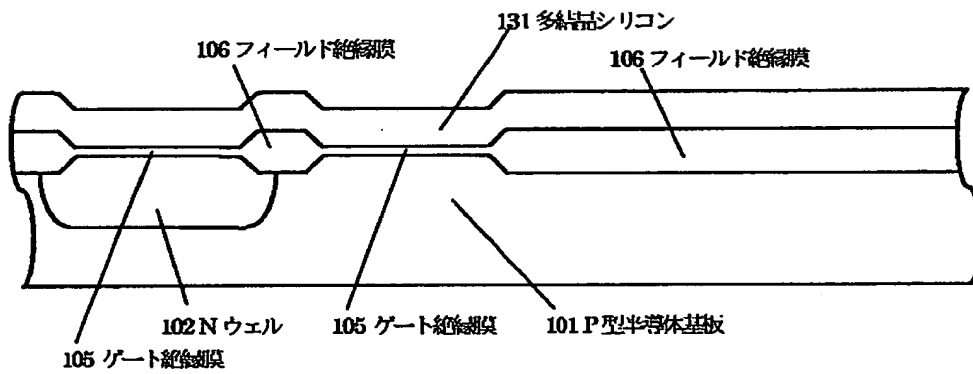
【図 1 0】



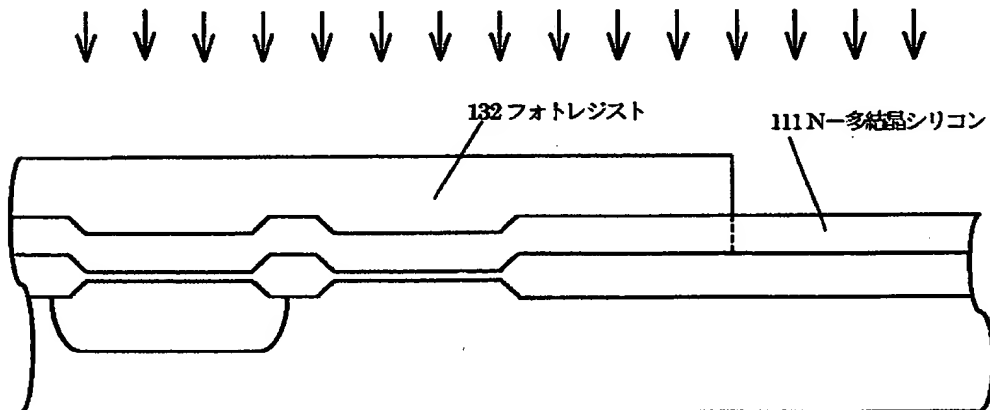
【図 1 1】



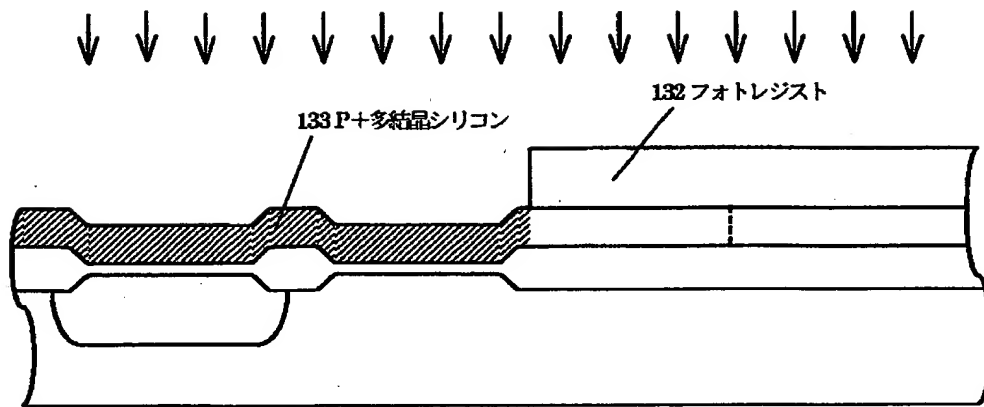
【図 1 2】



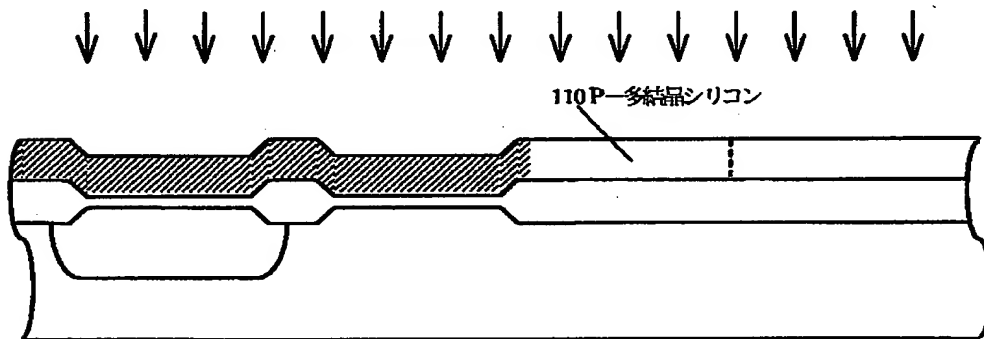
【図 1 3】



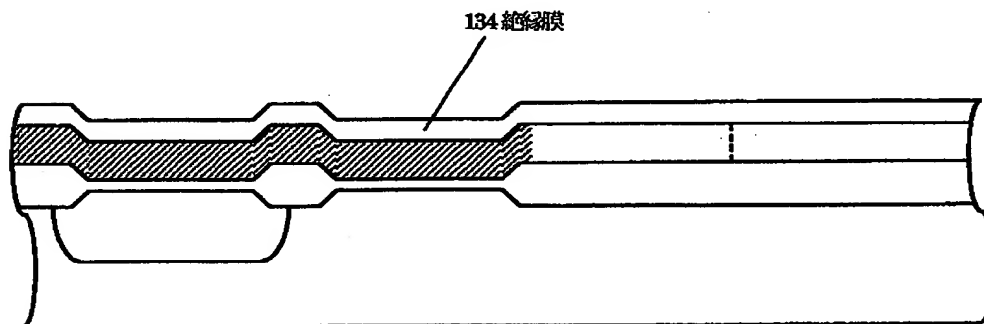
【図 1 4】



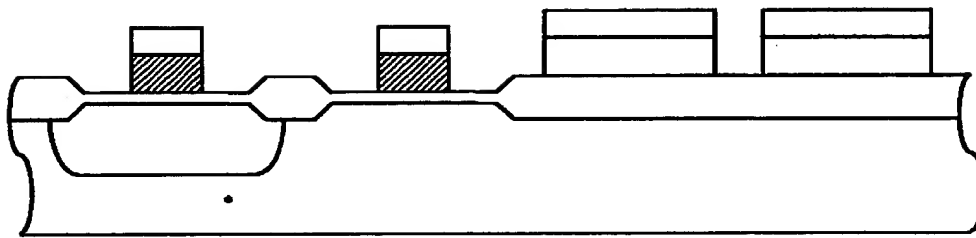
【図 1 5】



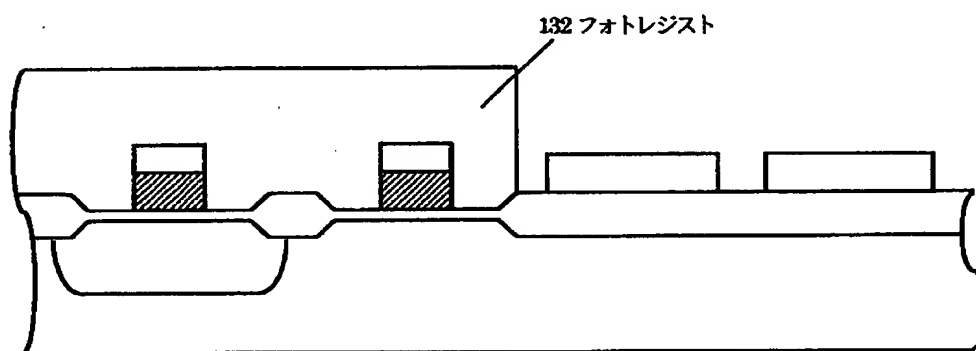
【図 1 6】



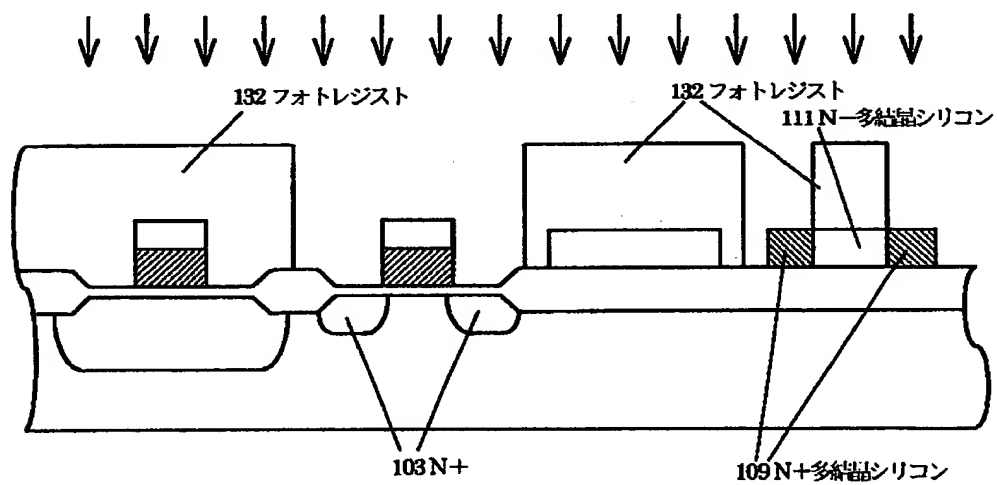
【図 1 7】



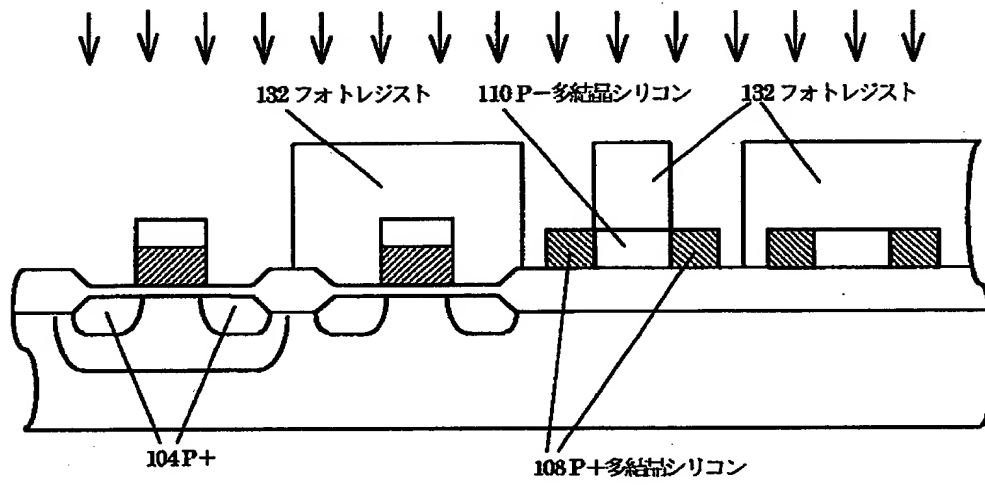
【図 1 8】



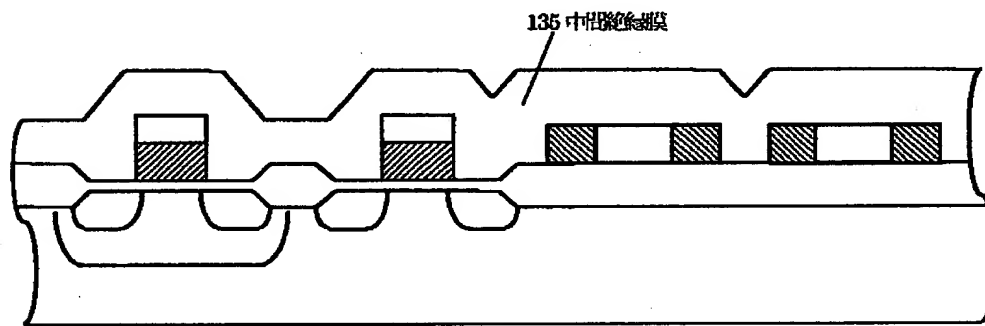
【図 1 9】



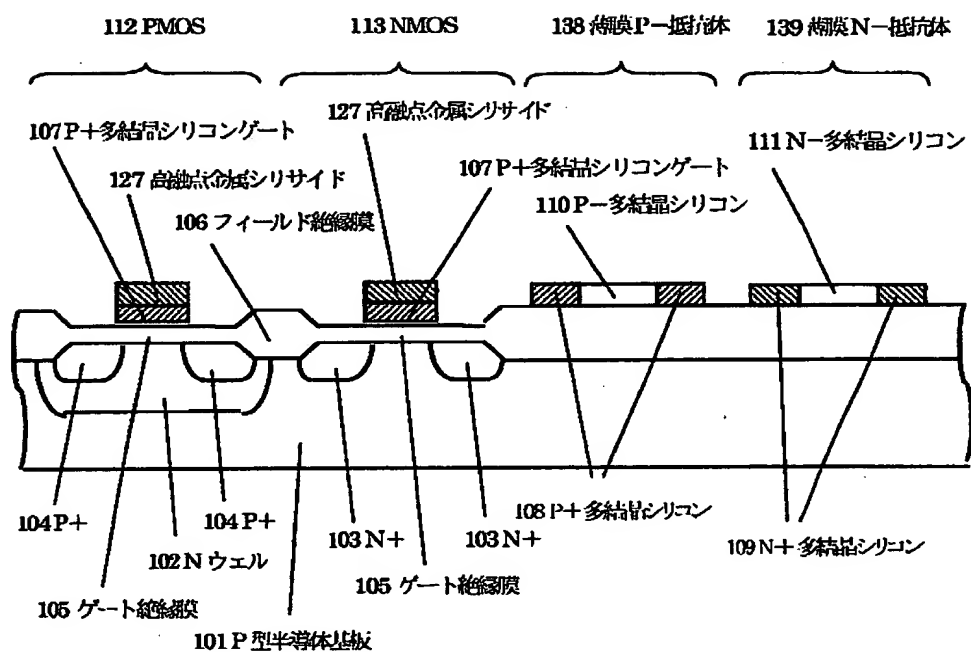
【図 2 0】



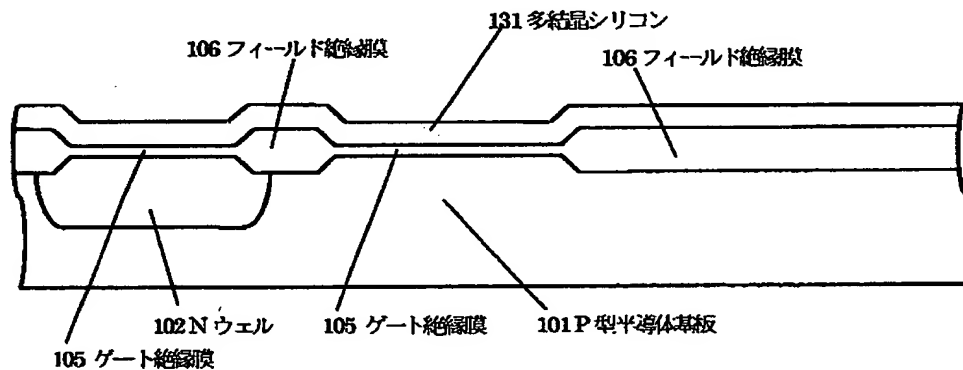
【図 2 1】



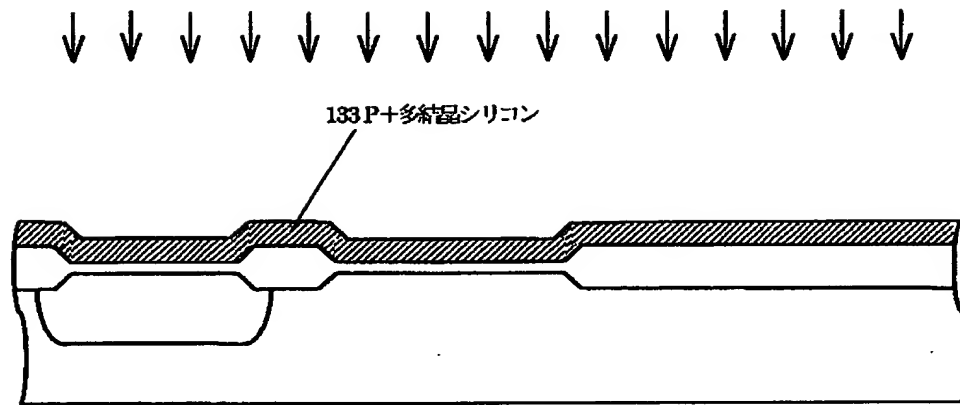
【図 2 2】



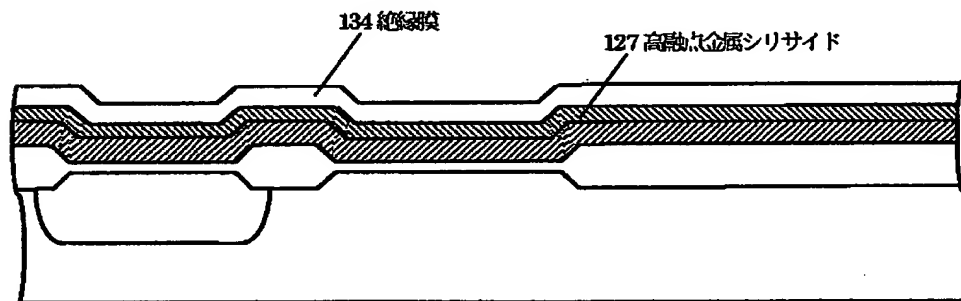
【図 2 3】



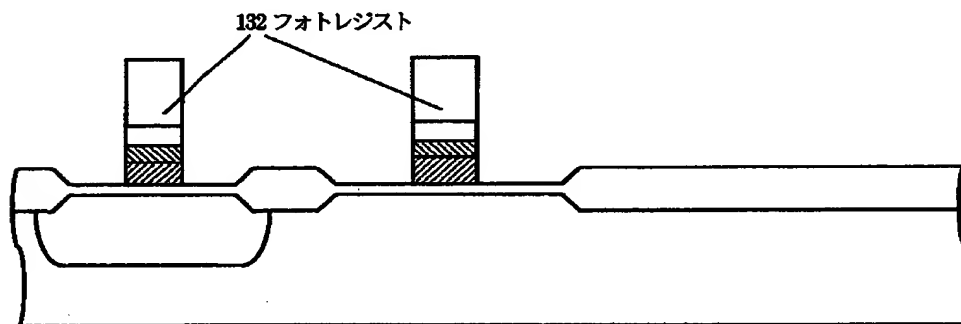
【図 2 4】



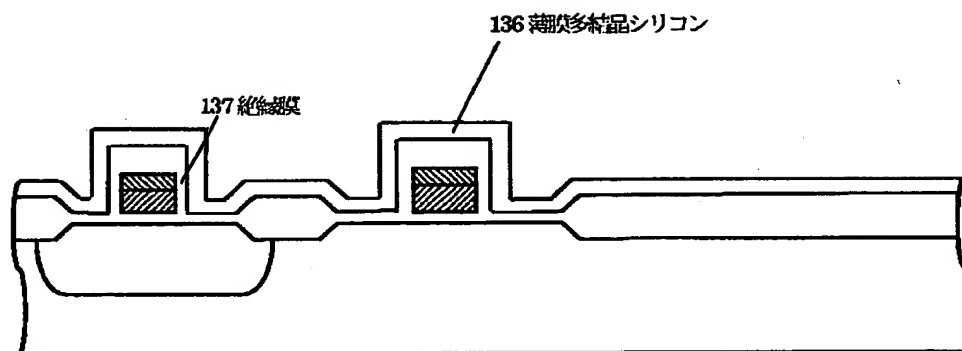
【図 2 5】



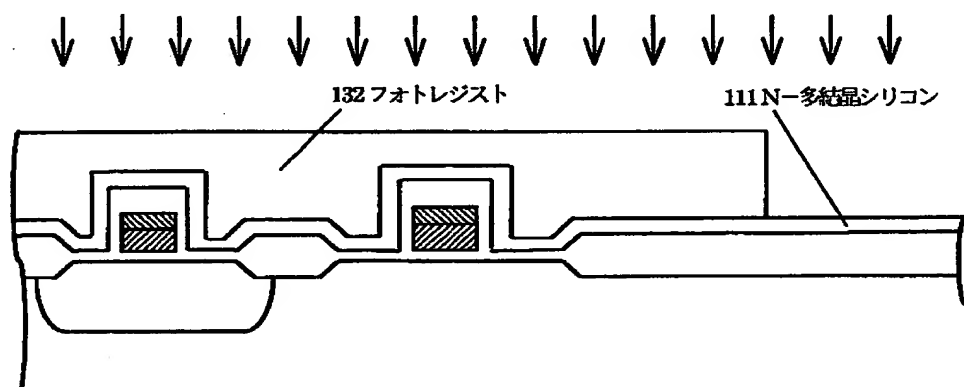
【図 2 6】



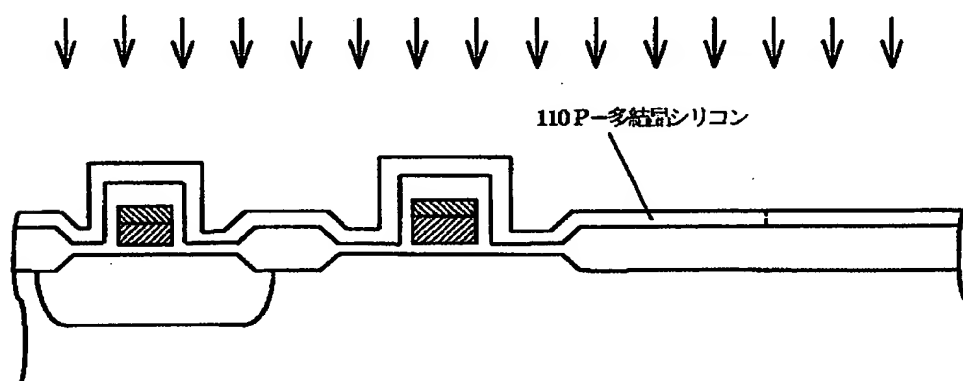
【図 2 7】



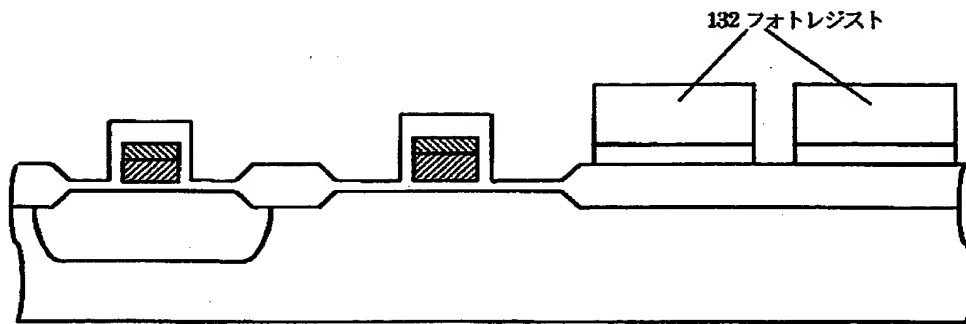
【図 2 8】



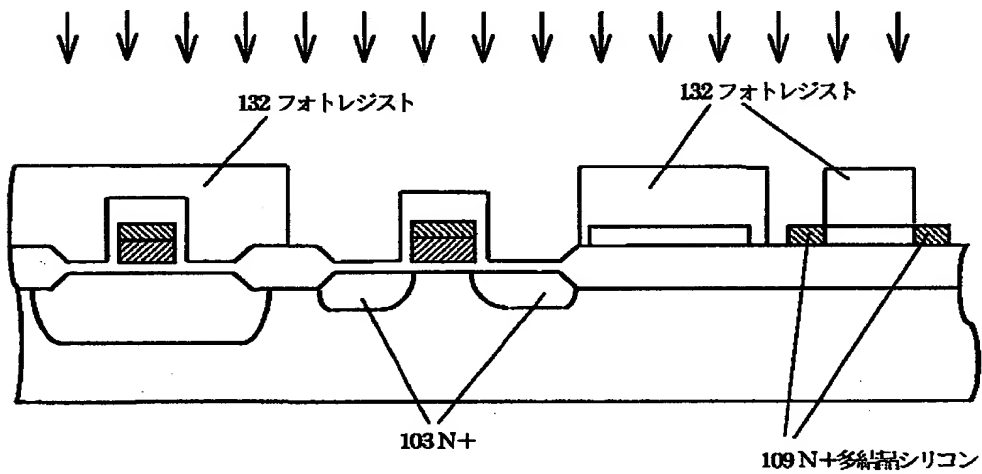
【図 2 9】



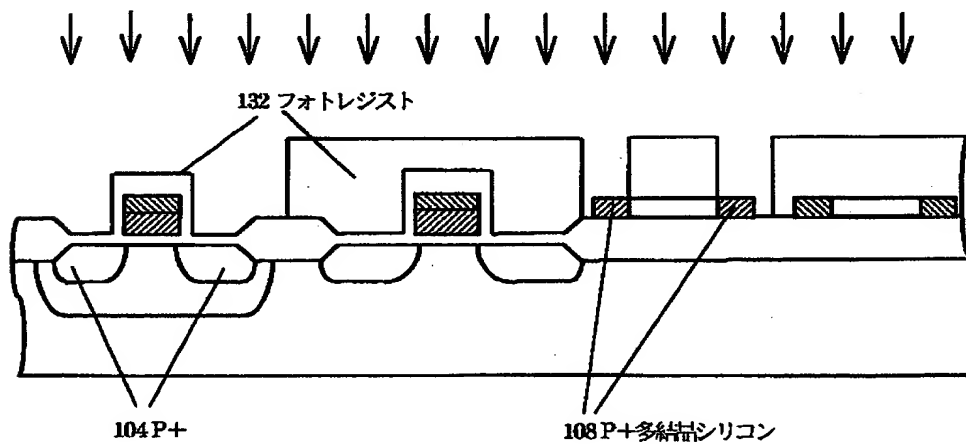
【図 3 0】



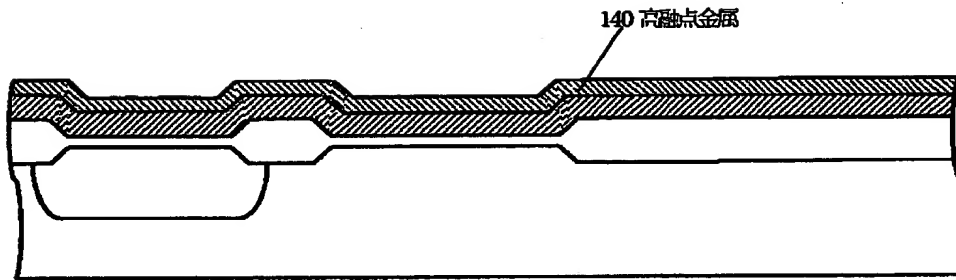
【図 3 1】



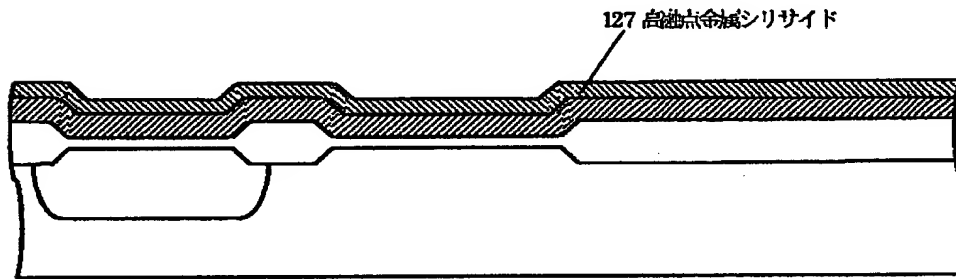
【図 3 2】



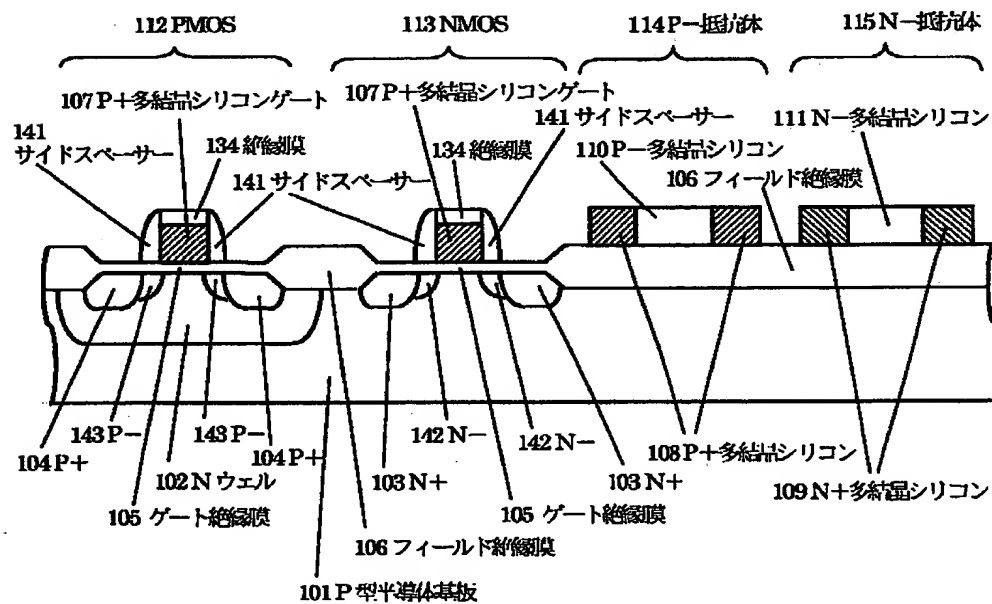
【図 33】



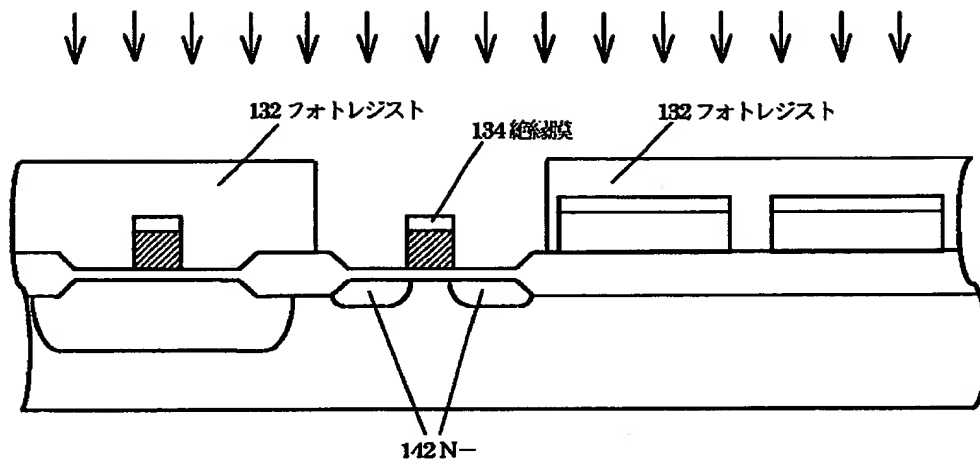
【図 34】



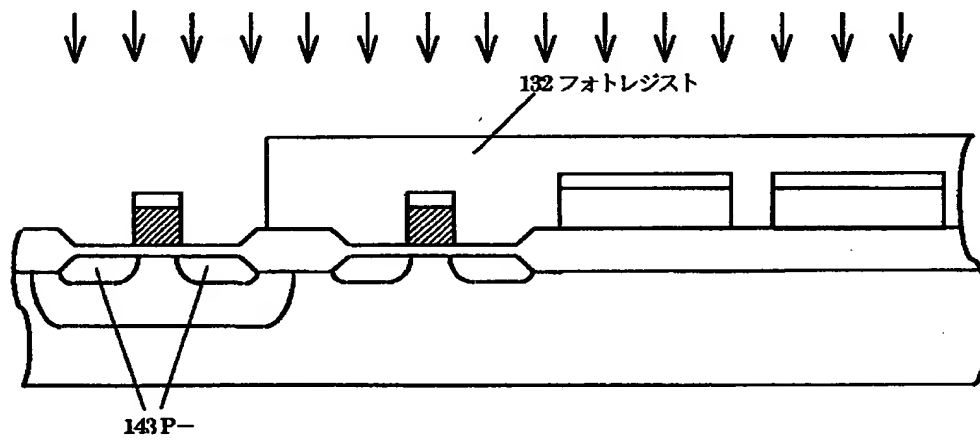
【図 35】



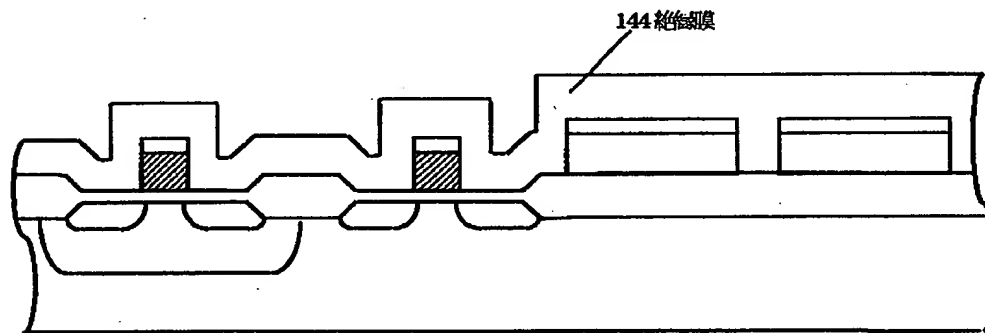
【図 3 6】



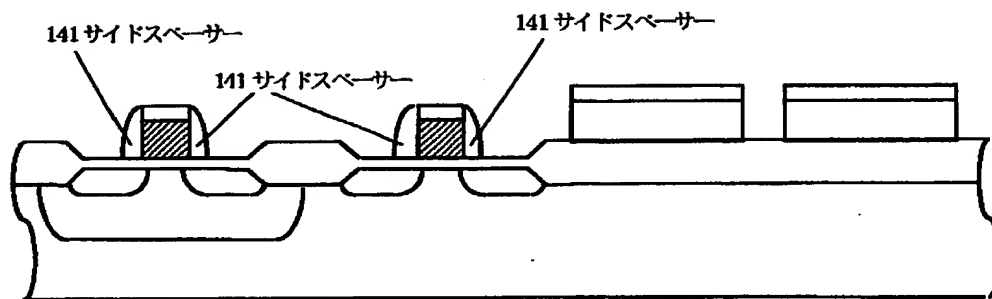
【図 3 7】



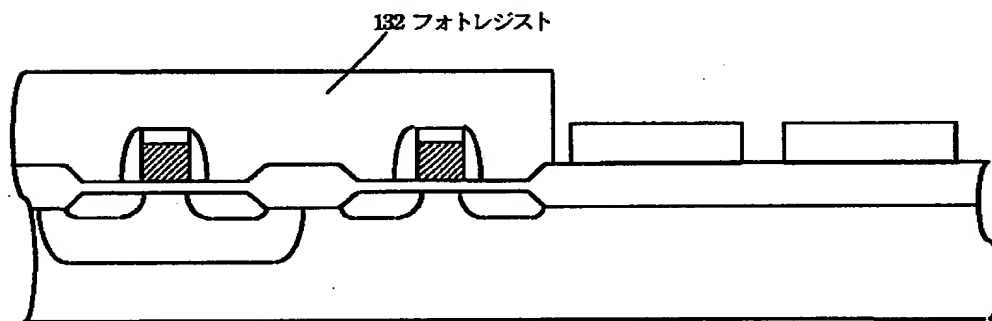
【図 3 8】



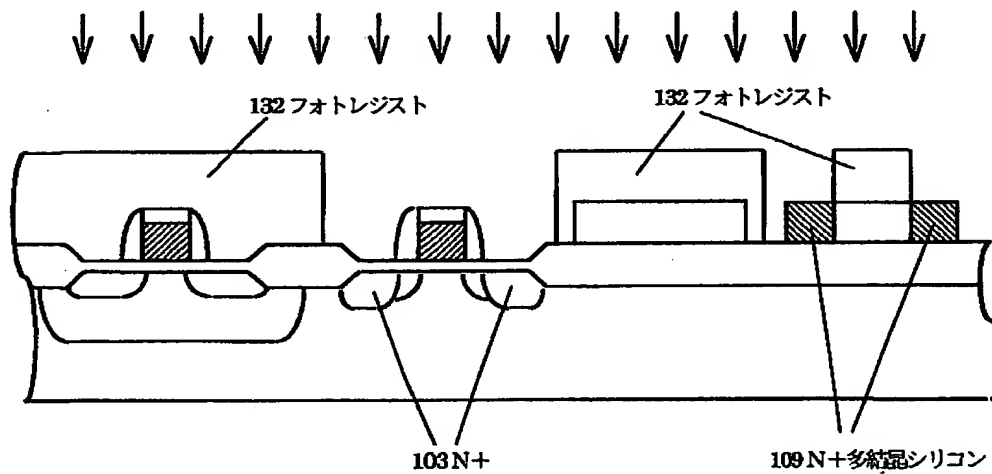
【図 3 9】



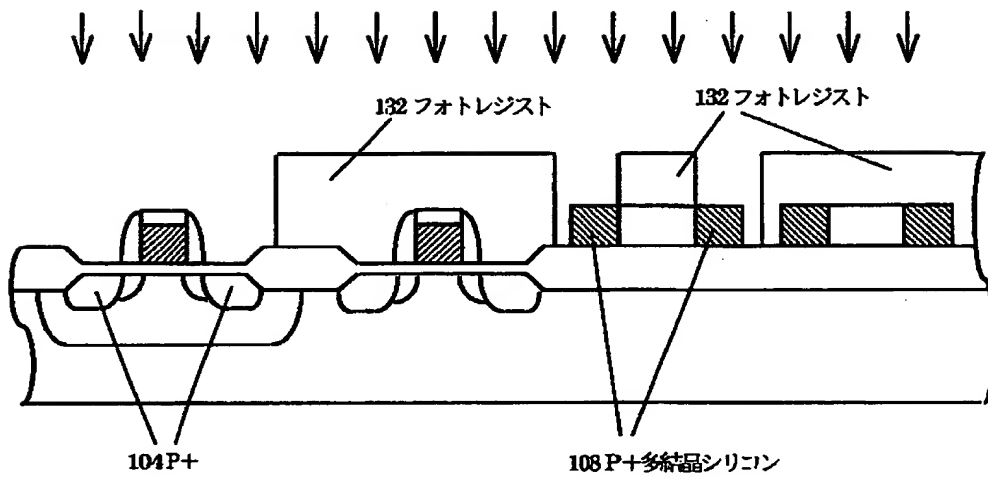
【図 4 0】



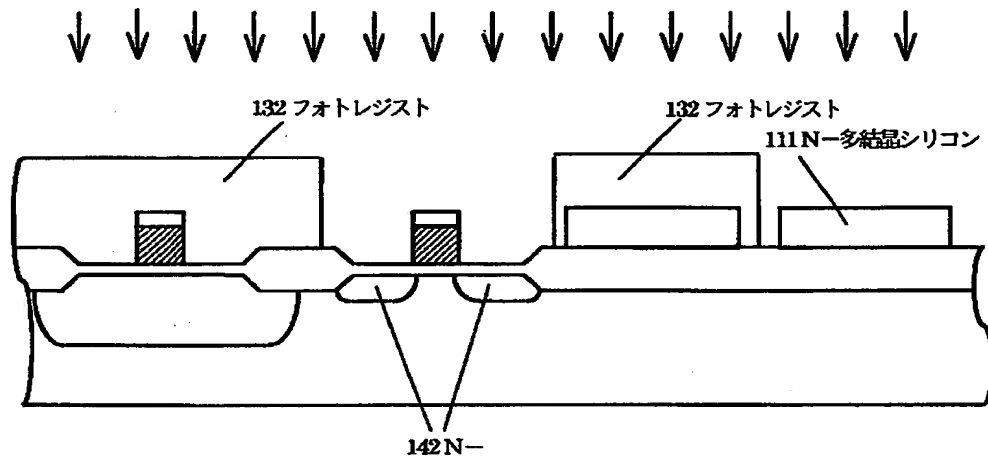
【図 4 1】



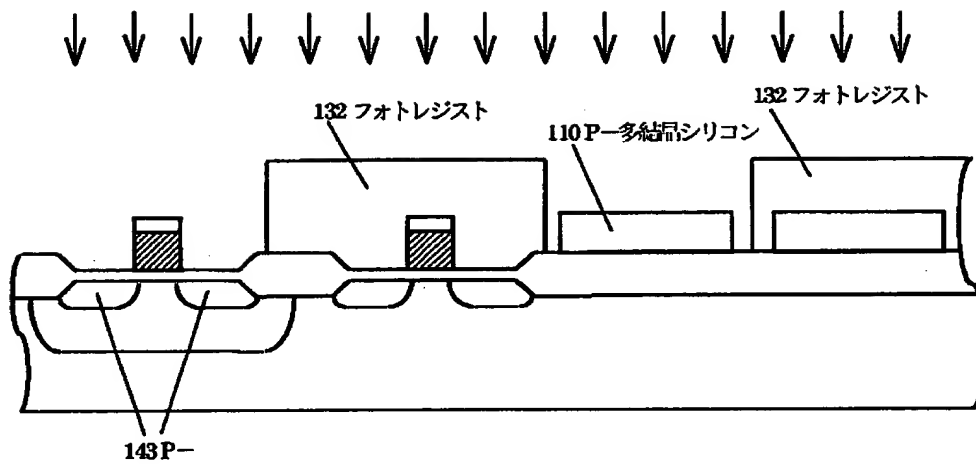
【図 4 2】



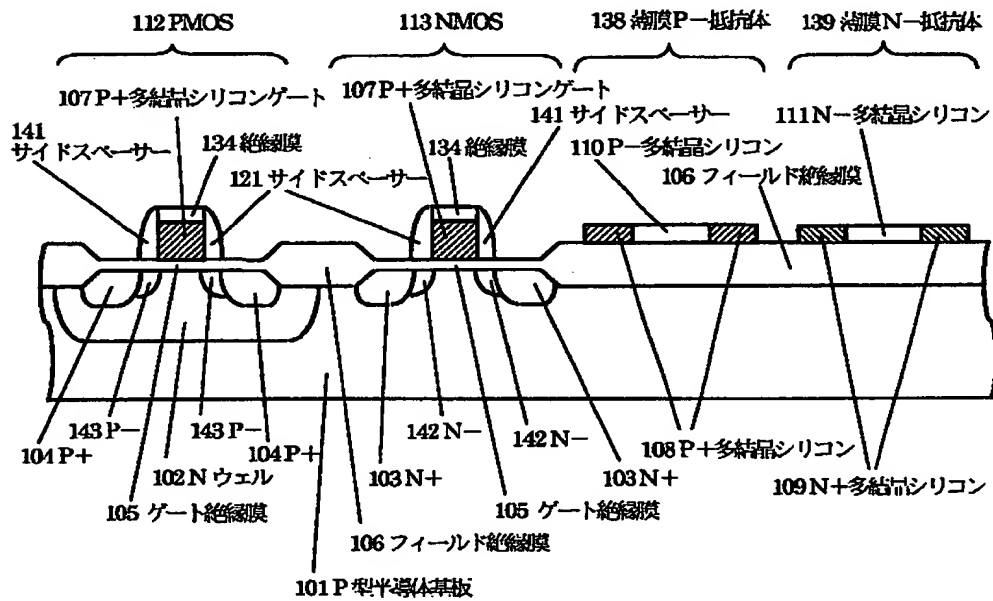
【図 4 3】



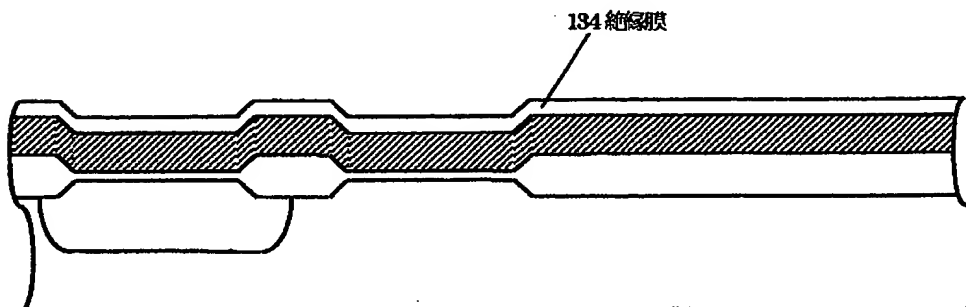
【図 4 4】



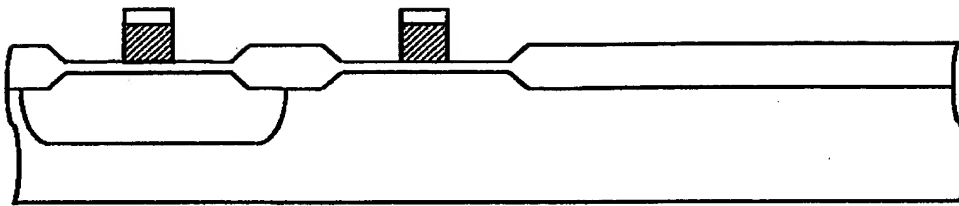
【図 4 5】



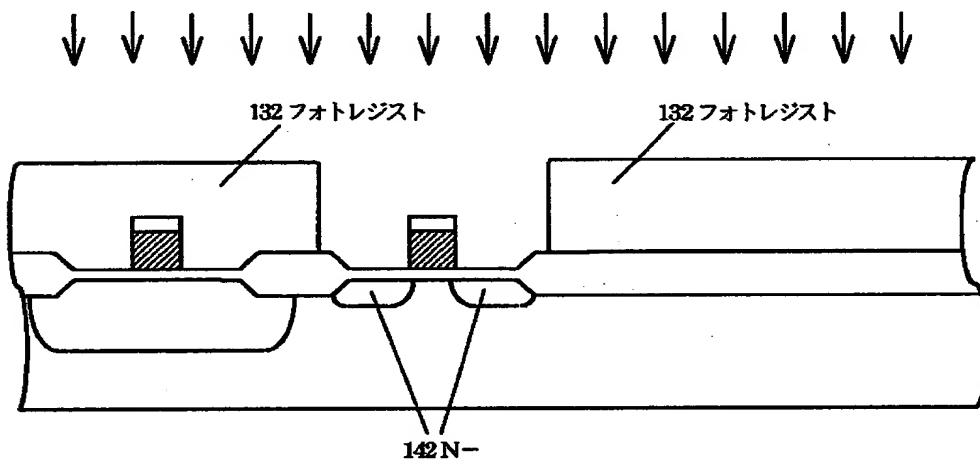
【図 4 6】



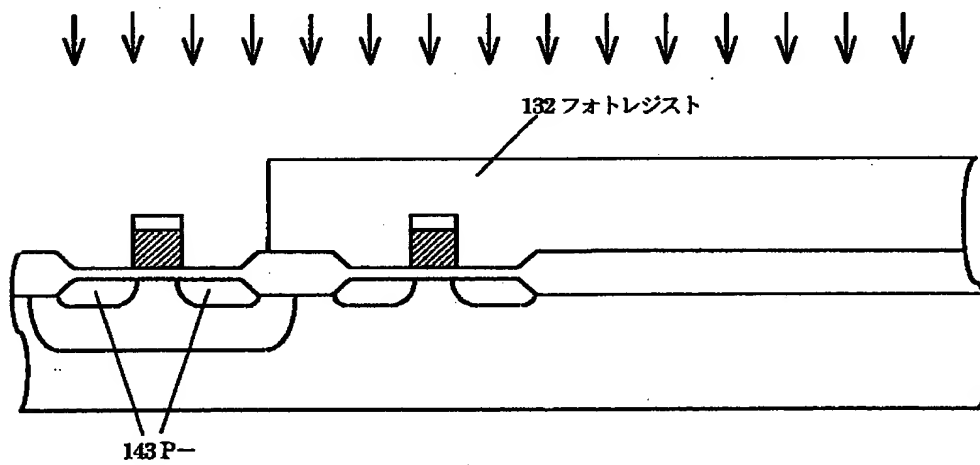
【図 47】



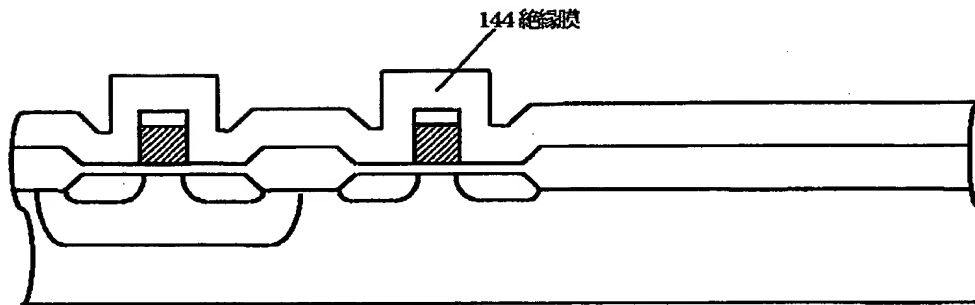
【図 48】



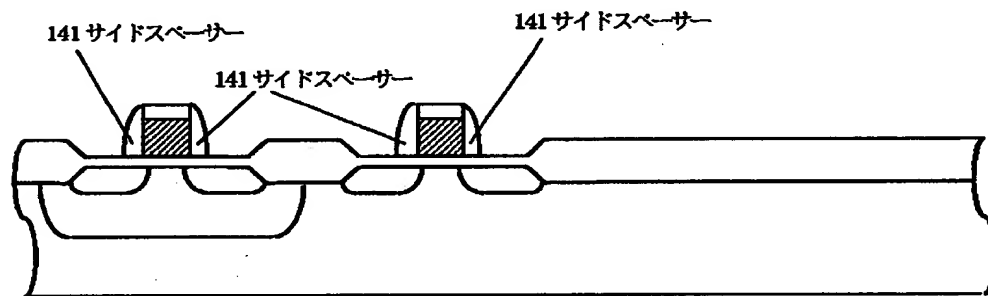
【図 49】



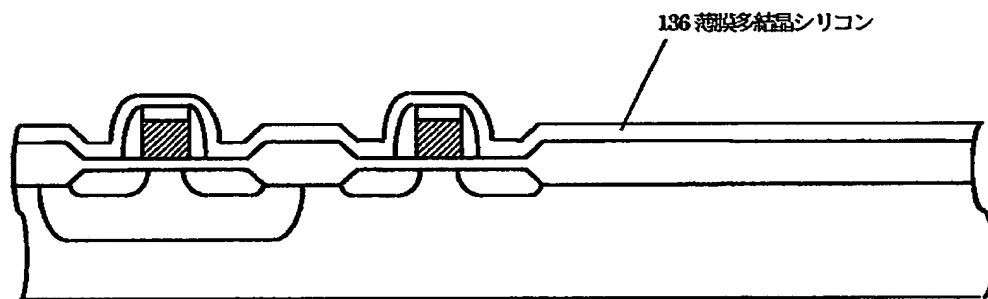
【図 5 0】



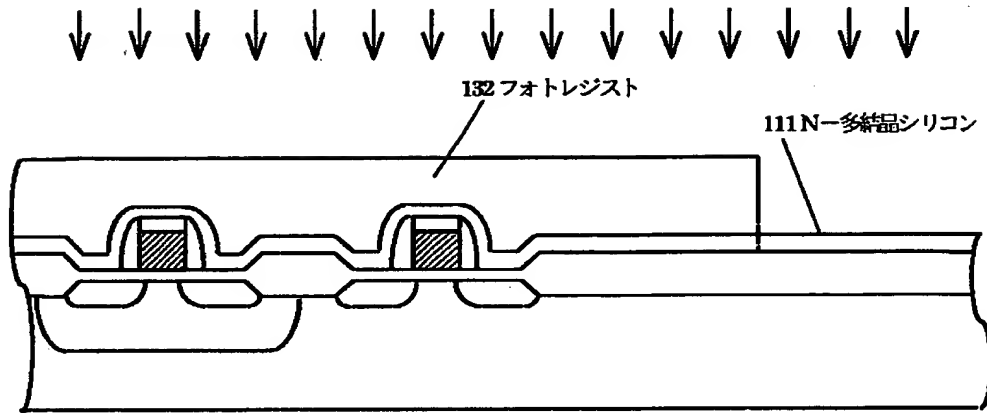
【図 5 1】



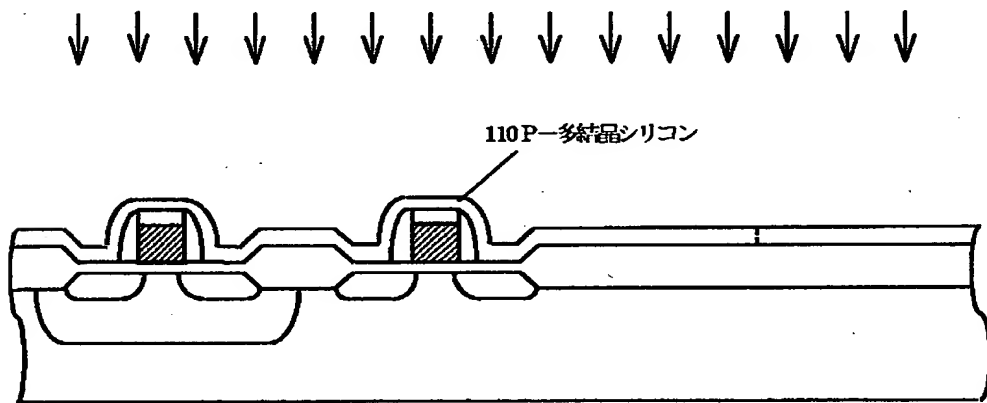
【図 5 2】



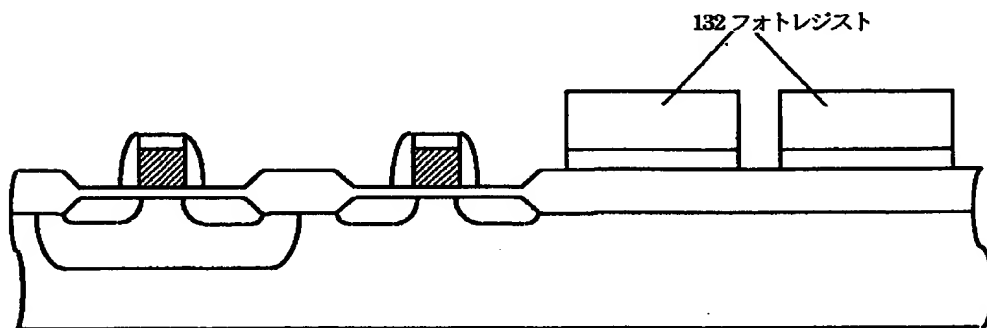
【図 5 3】



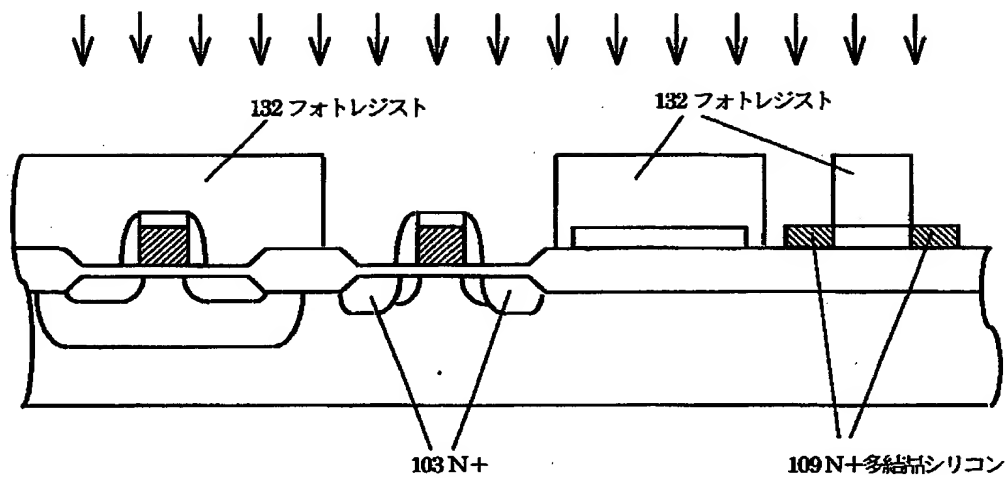
【図 5 4】



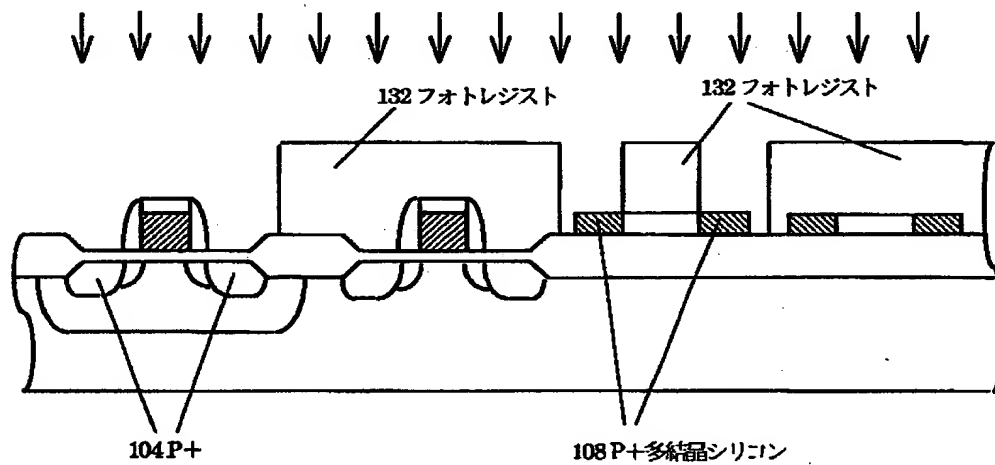
【図 5 5】



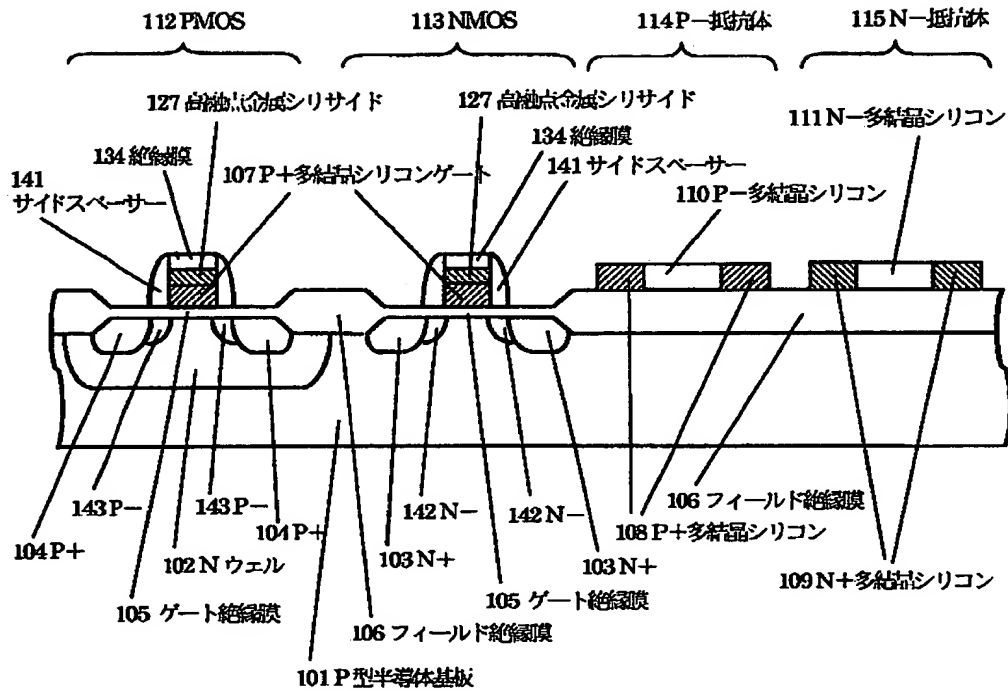
【図 5 6】



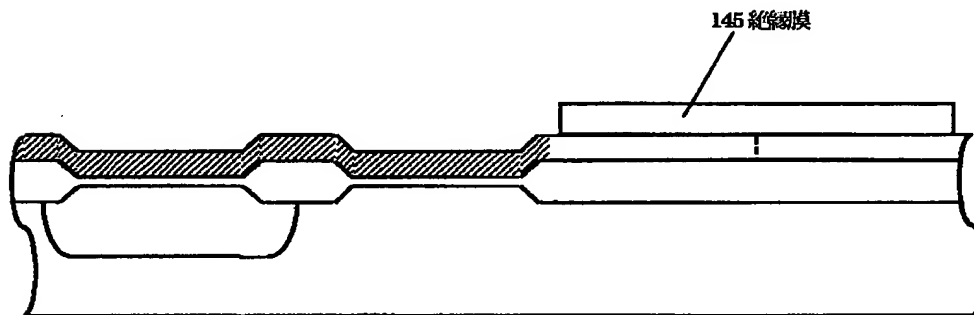
【図 5 7】



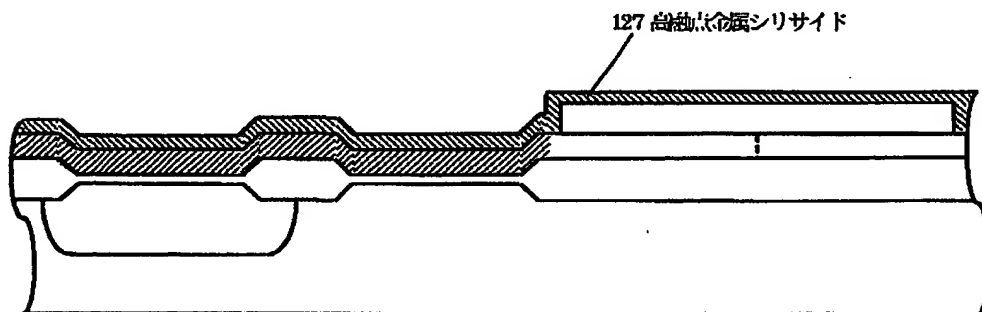
【図 5 8】



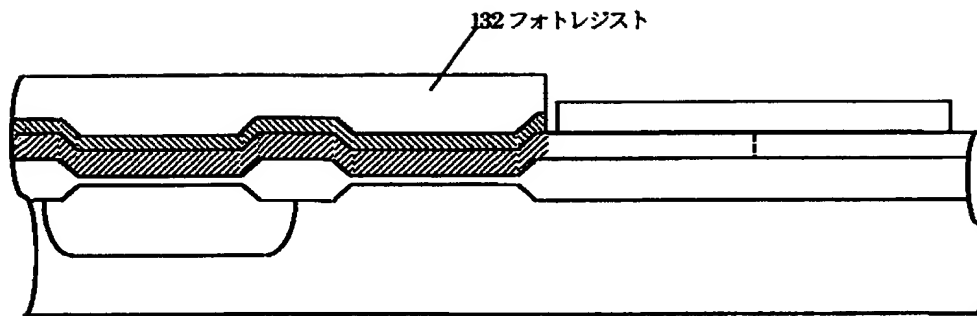
【図 5 9】



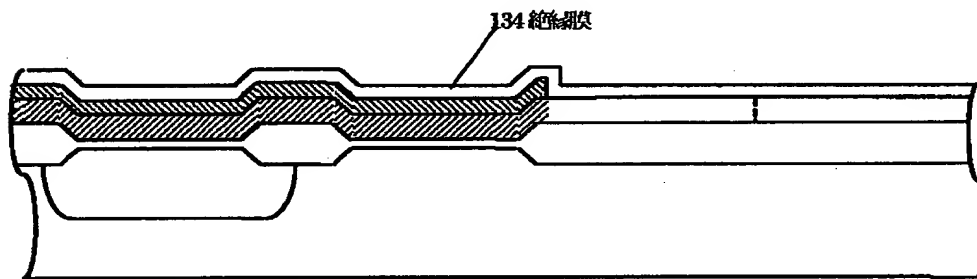
【図 6 0】



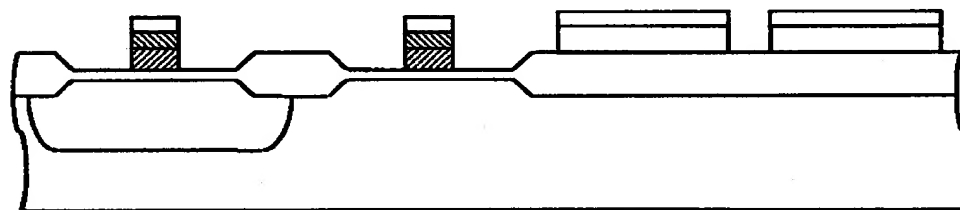
【図 6 1】



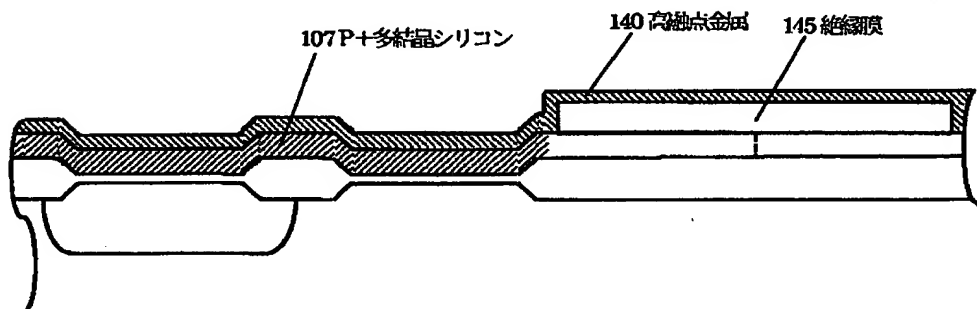
【図 6 2】



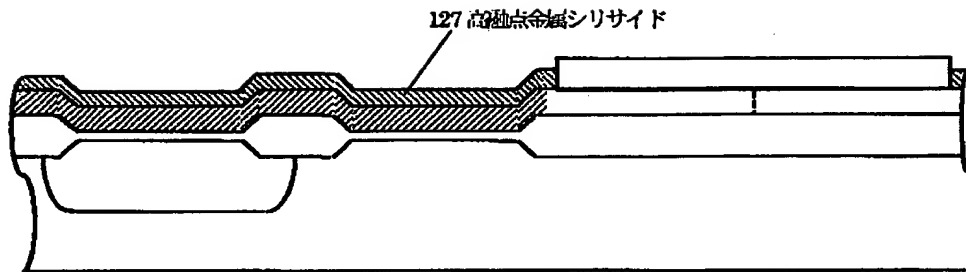
【図 6 3】



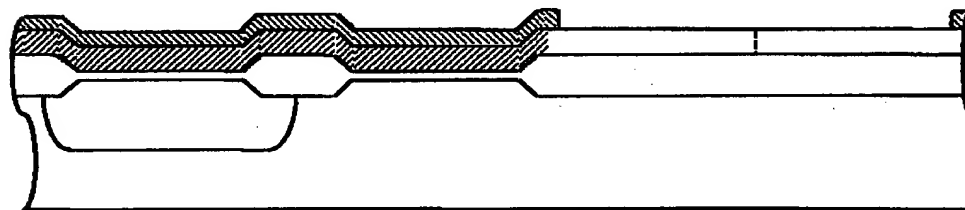
【図 6 4】



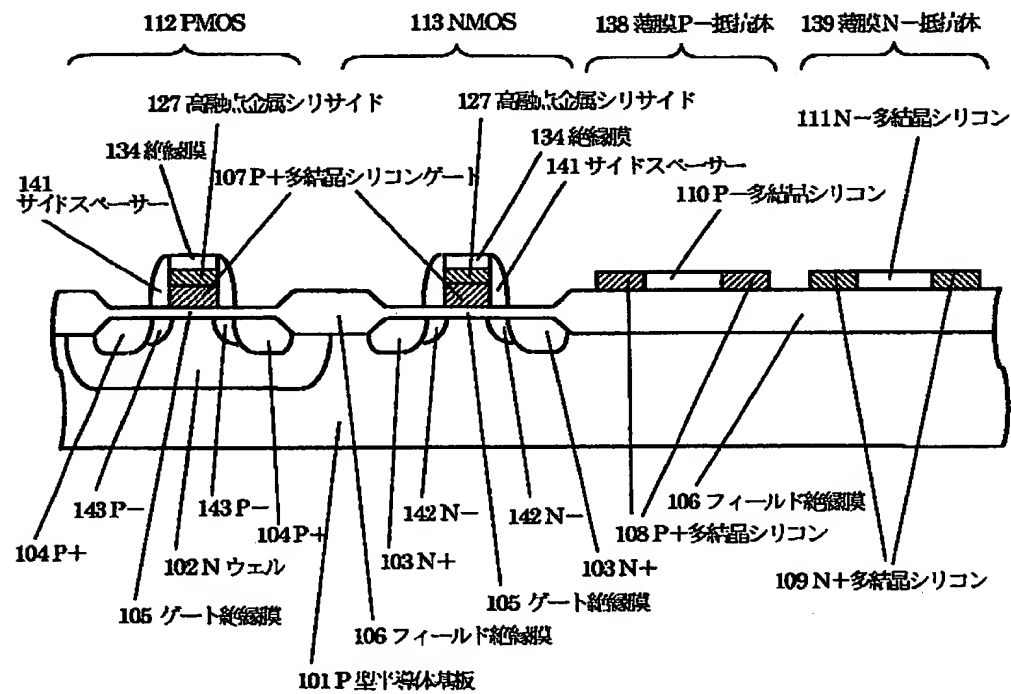
【図 6 5】



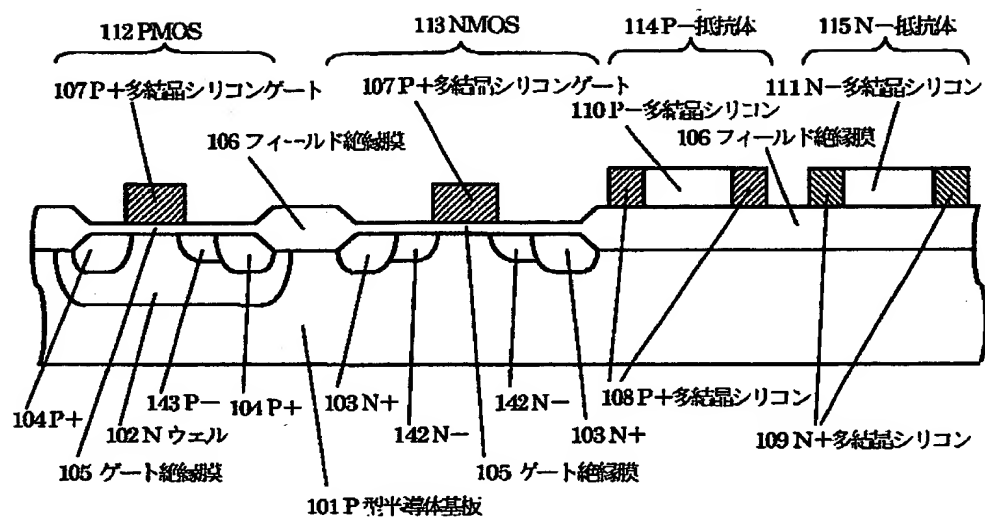
【図 6 6】



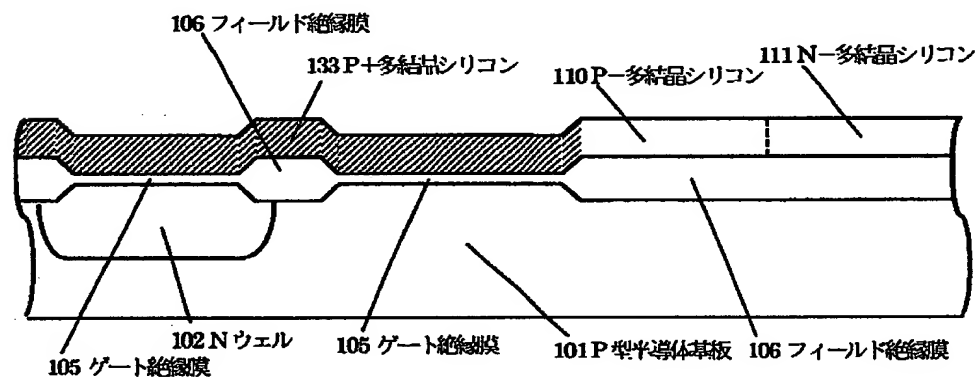
【図 6 7】



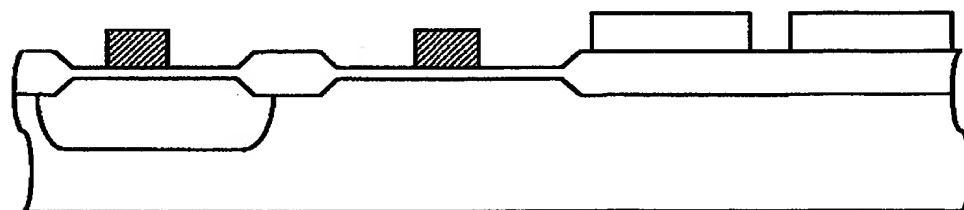
【図 68】



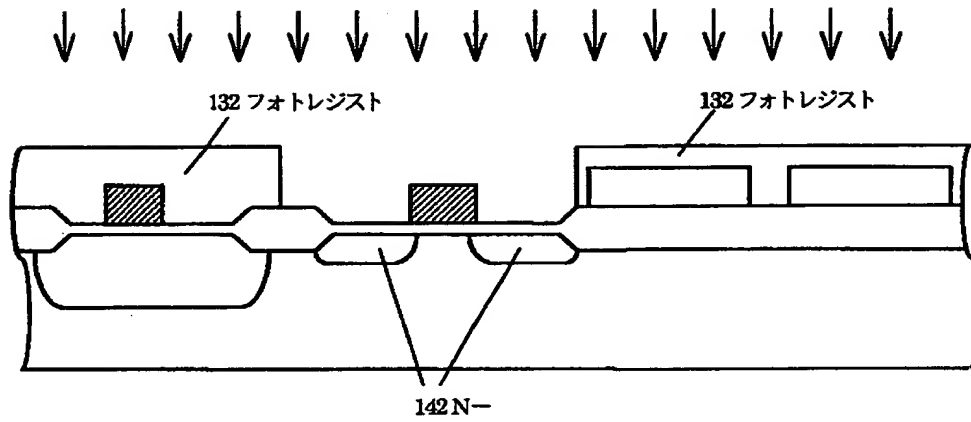
【図 69】



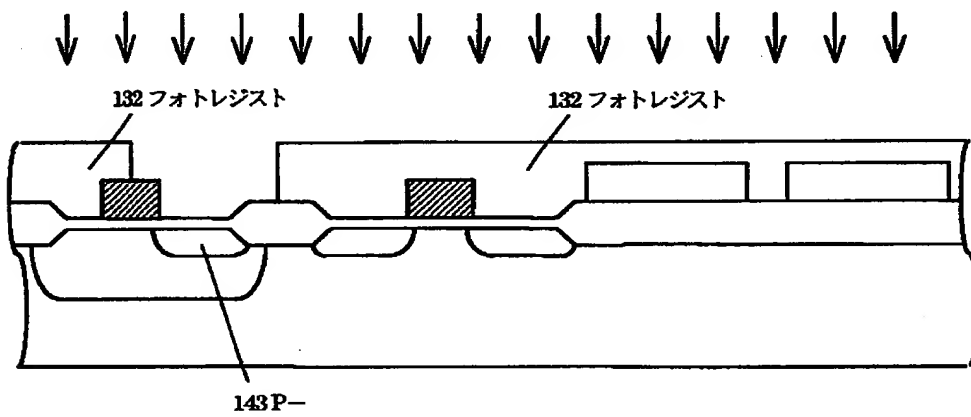
【図 70】



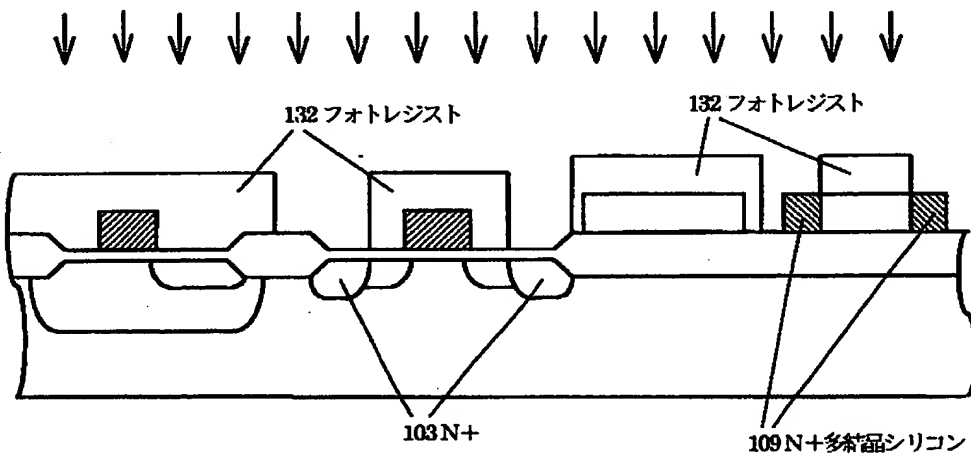
【図 7 1】



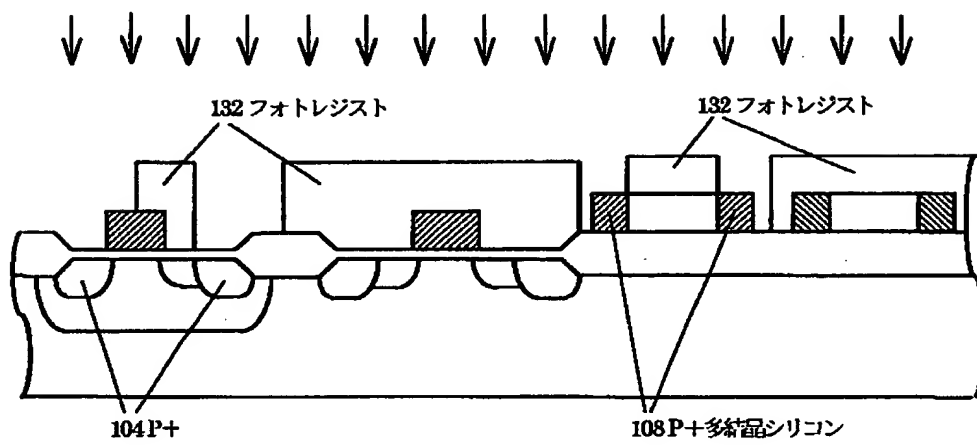
【図 7 2】



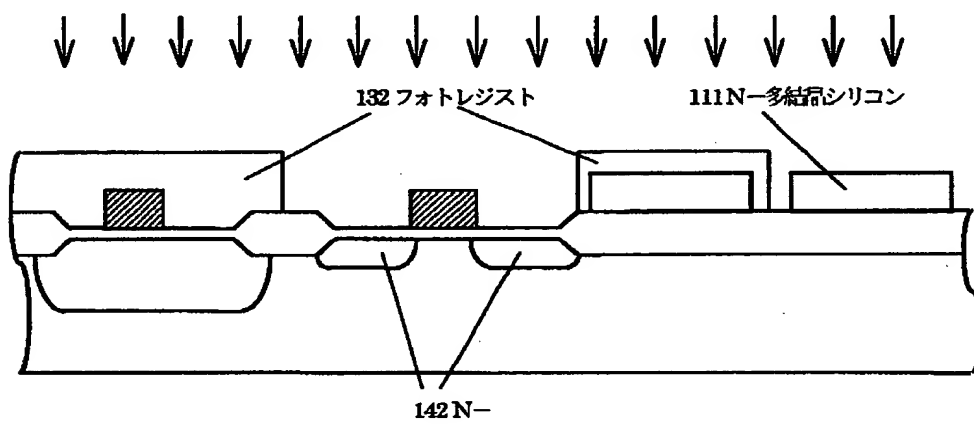
【図 7 3】



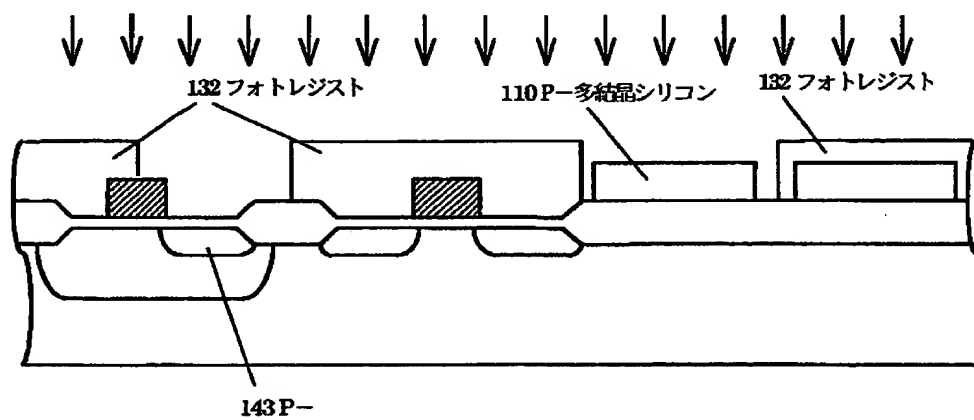
【図 7 4】



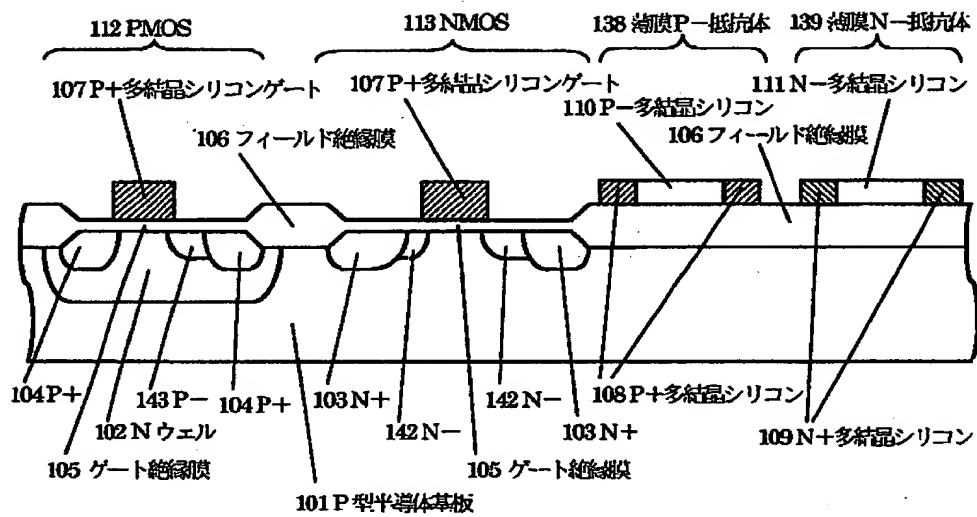
【図 7 5】



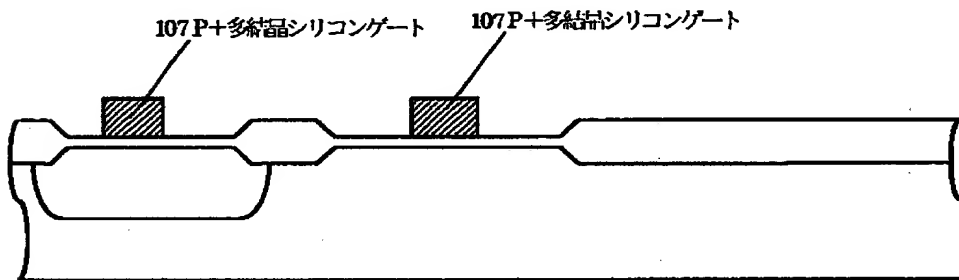
【図 7 6】



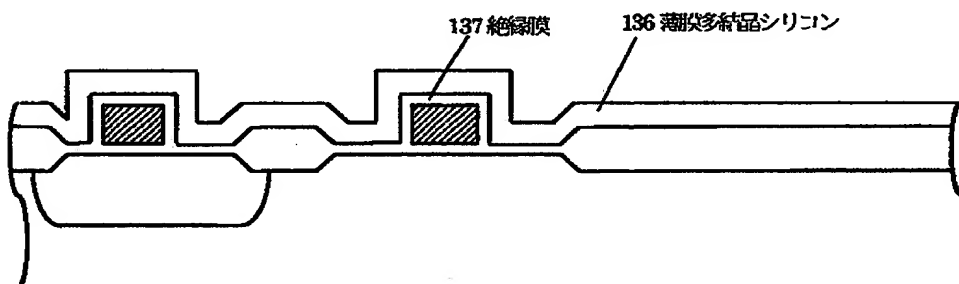
【図 7 7】



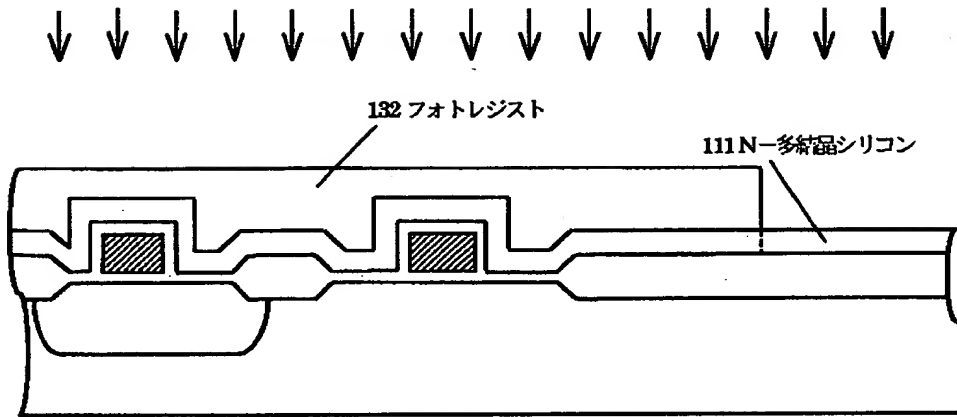
【図 7 8】



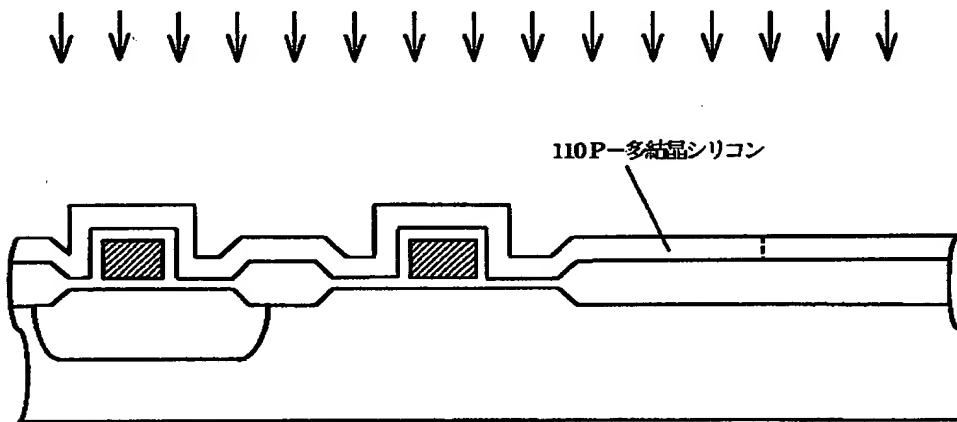
【図 7 9】



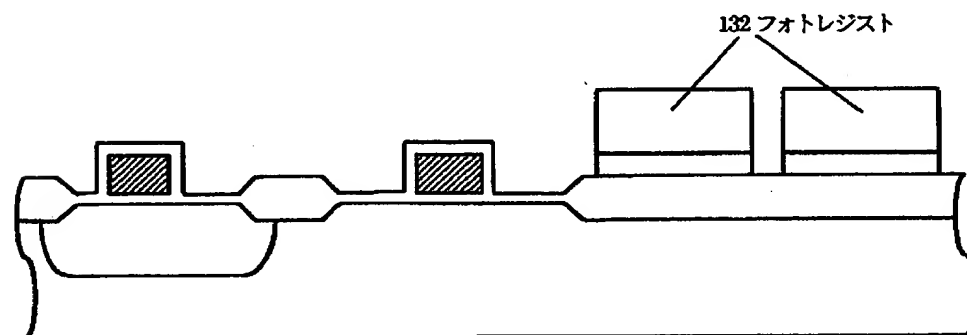
【図 8 0】



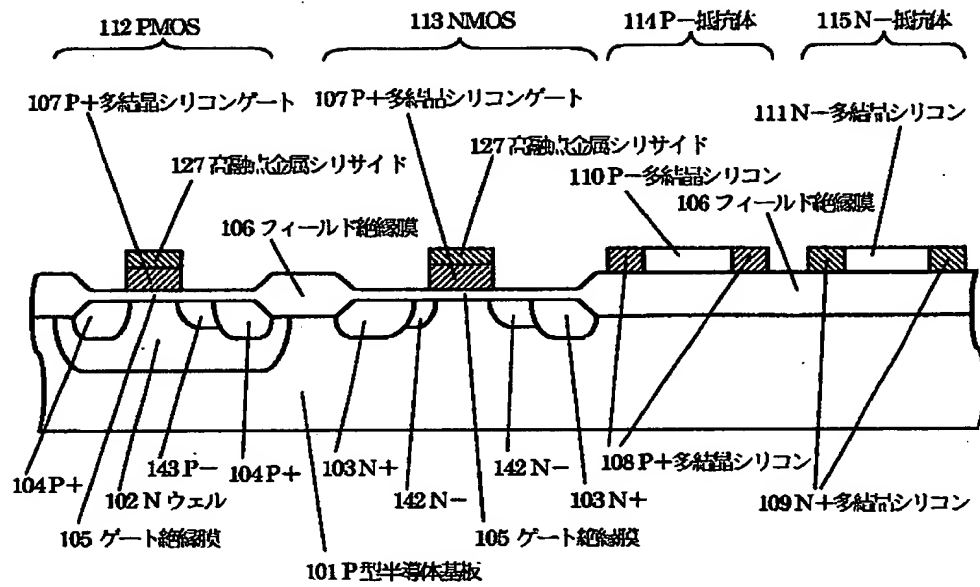
【図 8 1】



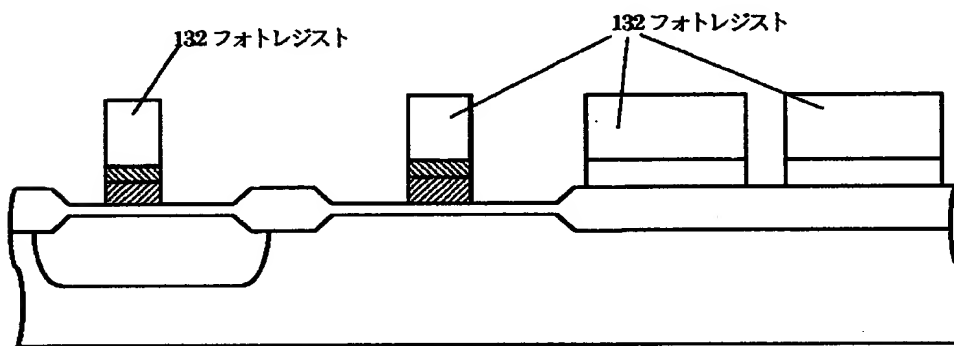
【図 8 2】



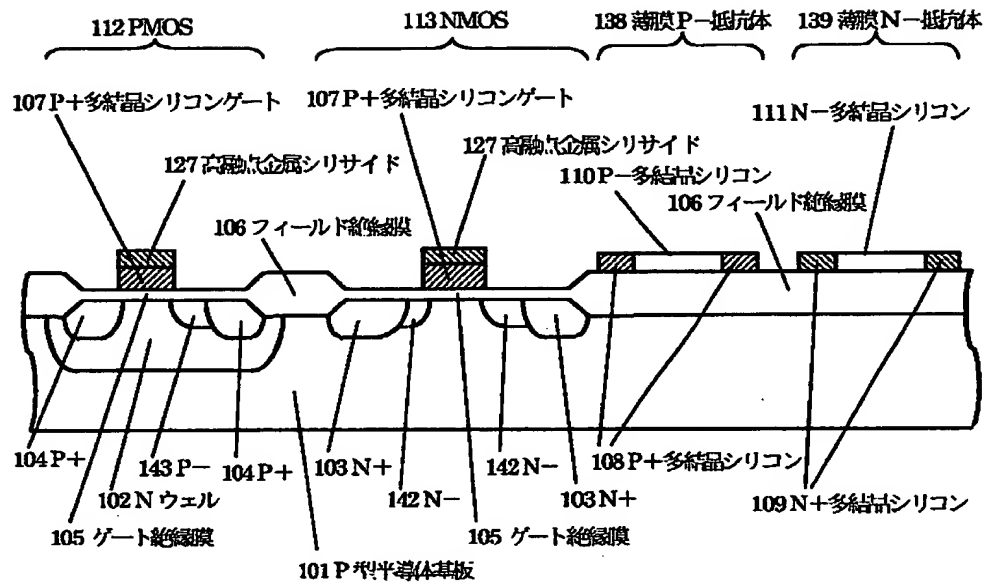
【図 8 3】



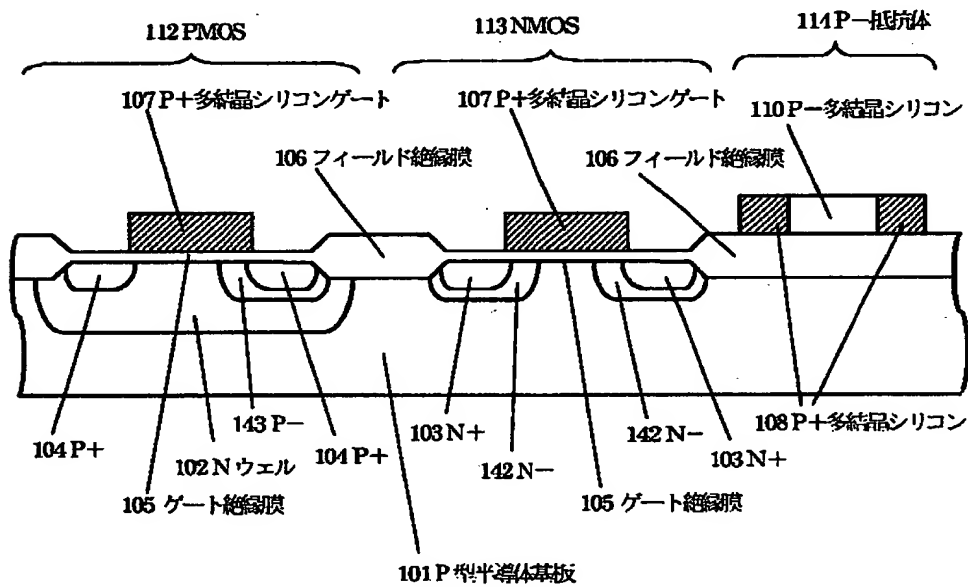
【図 8 4】



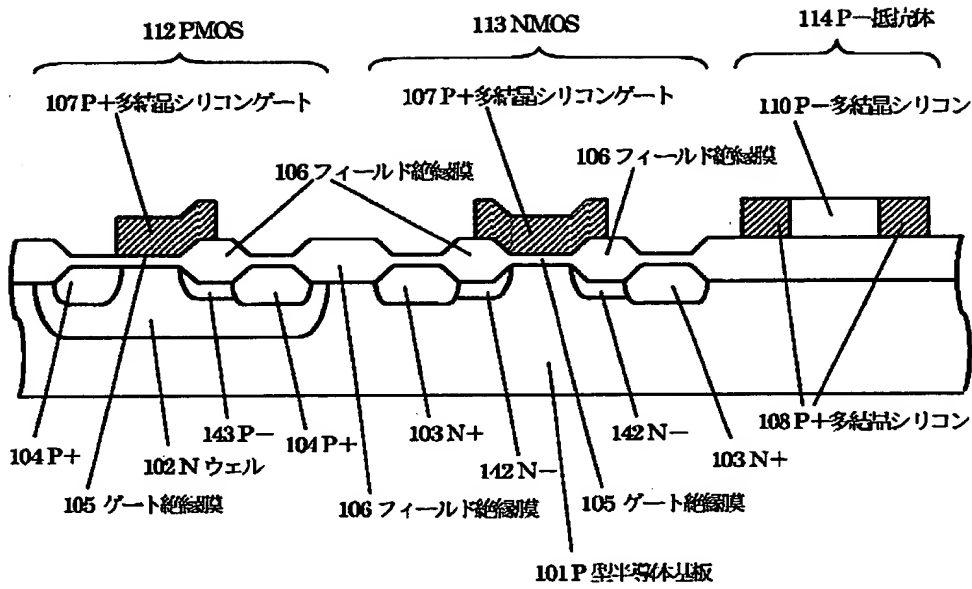
【図 8 5】



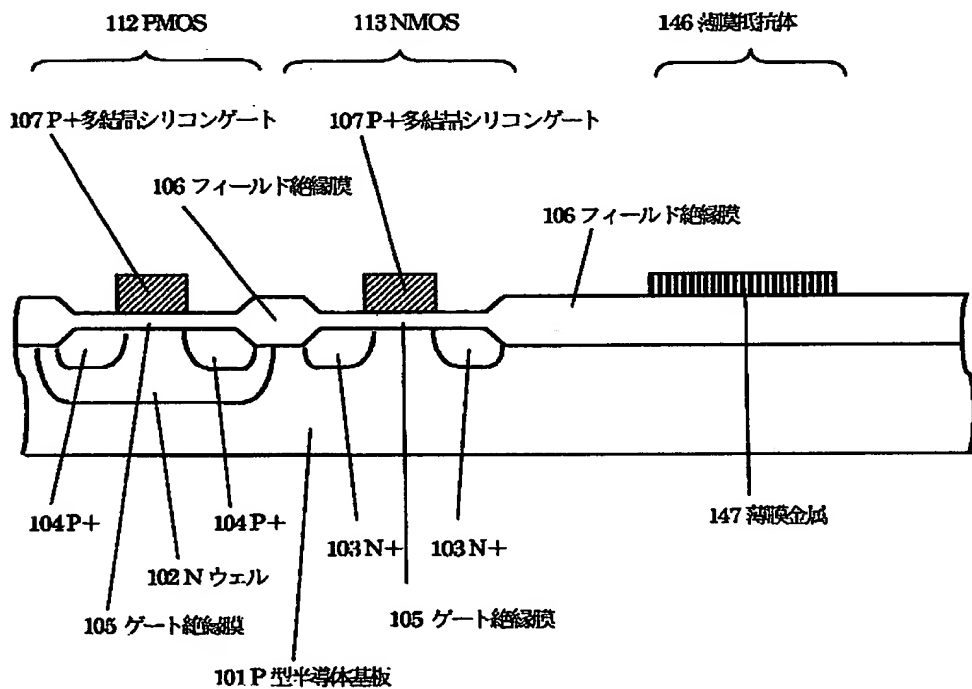
【図 8 6】



【図 8 7】



【図 8 8】



【図 8 9】

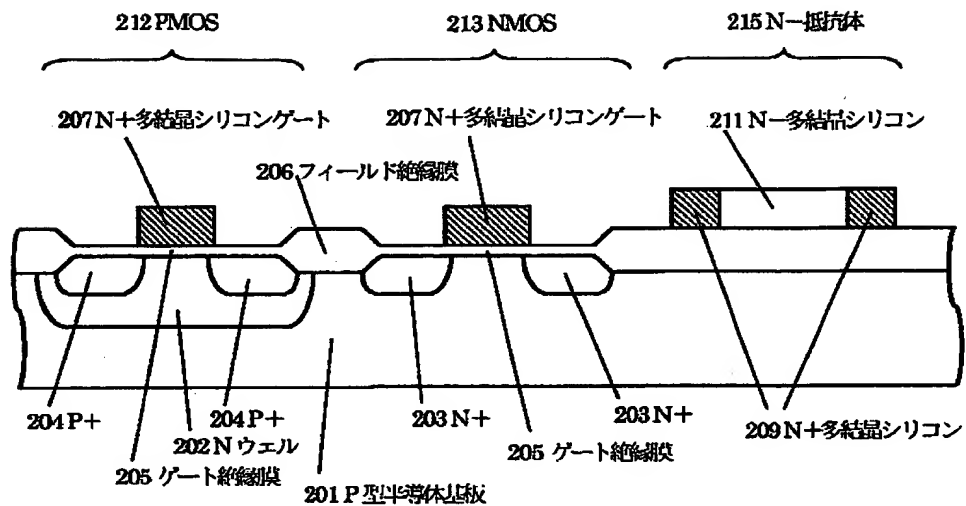
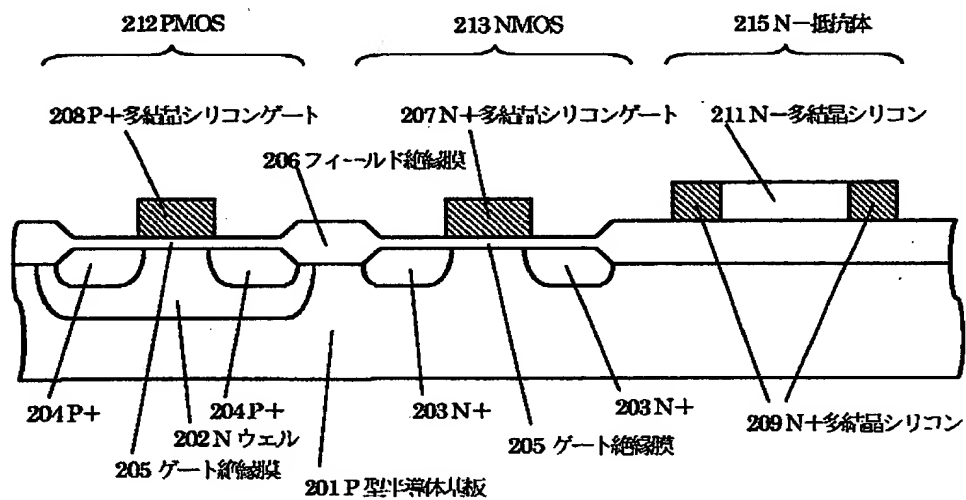
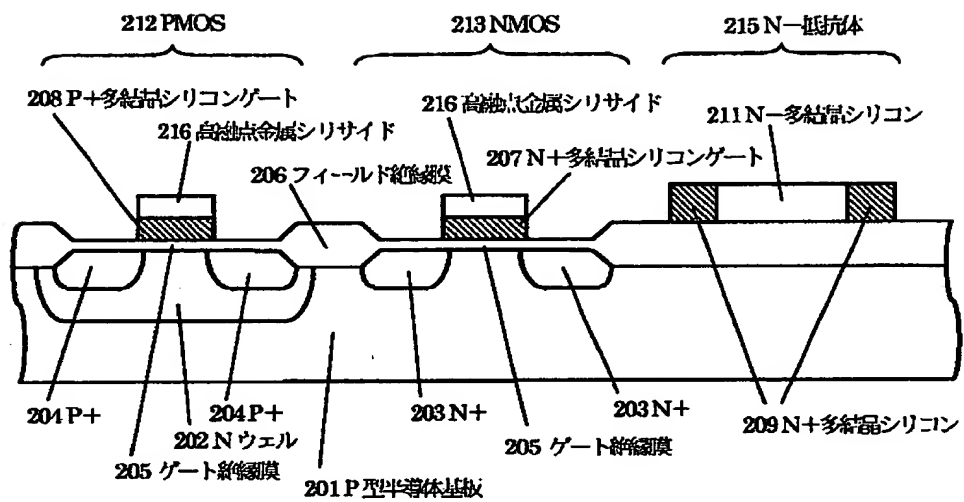


図 8 9 . 従来の CMOS 半導体装置の模式的断面図

【図 9 0】



【図 9 1】



【書類名】 要約書

【要約】

【課題】 低コストで短工期でありかつ低電圧動作が可能で低消費電力および高駆動能力を有するパワーマネジメント半導体装置やアナログ半導体装置の実現を可能とする構造とその製造方法を提供することを目的とする。

【解決手段】 CMOSと抵抗体とを含むパワーマネジメント半導体装置やアナログ半導体装置において、CMOSのゲート電極の導電型をNMOS、PMOSともにP型とし、E型PMOSは表面チャネル型であるため短チャネル化や低しきい値電圧化が可能であり、また埋込みチャネル型であるNMOSもしきい値制御用の不純物として拡散係数の小さい砒素を使えるため極めて浅い埋込みチャネルとなり短チャネル化や低しきい値電圧化が容易となり、さらに分圧回路やCR回路に用いられる抵抗体をゲート電極と同一層の多結晶シリコンもしくはより薄膜化した多結晶シリコンもしくは薄膜金属から構成することにより、従来のN+多結晶シリコンゲート単極のCMOSやチャネルとゲート電極の極性が同じ同極ゲートCMOSに比べ、コスト、工期、素子の性能の面で有利であるパワーマネジメント半導体装置やアナログ半導体装置の実現を特徴とする。

【選択図】 図1

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 1 - 2 4 3 9 4 4
受付番号	5 0 1 0 1 1 8 6 2 8 4
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 3 年 8 月 1 5 日

< 認定情報・付加情報 >

【特許出願人】

【識別番号】	000002325
【住所又は居所】	千葉県千葉市美浜区中瀬 1 丁目 8 番地
【氏名又は名称】	セイコーインスツルメンツ株式会社

【代理人】

申請人	
【識別番号】	100096378
【住所又は居所】	千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコー インスツルメンツ株式会社 知的財産部
【氏名又は名称】	坂上 正明

出 願 人 履 歴 情 報

識別番号 [000002325]

1. 変更年月日	1997年 7月23日
[変更理由]	名称変更
住 所	千葉県千葉市美浜区中瀬1丁目8番地
氏 名	セイコーインスツルメンツ株式会社